

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

IN RE APPLICATION OF: Yoshihisa IWATA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: MAGNETIC RANDOM ACCESS MEMORY DEVICE

**REQUEST FOR PRIORITY**

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:  
**Application No.** \_\_\_\_\_ **Date Filed** \_\_\_\_\_
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:


<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-121633	April 25, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and
- ☐ (B) Application Serial No.(s) \_\_\_\_\_  
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
\_\_\_\_\_  
Marvin J. Spivak

Registration No. 24,913

**C. Irvin McClelland**  
**Registration Number 21,124**

Customer Number

**22850**

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 4月25日

出願番号

Application Number:

特願2003-121633

[ST.10/C]:

[JP2003-121633]

出願人

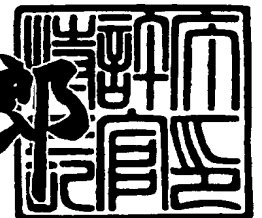
Applicant(s):

株式会社東芝

2003年 5月23日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3038213

【書類名】 特許願

【整理番号】 A000205878

【提出日】 平成15年 4月25日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/15

【発明の名称】 磁気ランダムアクセスメモリ

【請求項の数】 26

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ  
イクロエレクトロニクスセンター内

【氏名】 岩田 佳久

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ  
イクロエレクトロニクスセンター内

【氏名】 清水 有威

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 磁気ランダムアクセスメモリ

【特許請求の範囲】

【請求項 1】 メモリ素子である磁気抵抗効果素子が二次元平面的に配置されたメモリセルアレイと、

前記磁気抵抗効果素子の位置に対応して直交するように前記メモリセルアレイの行方向および列方向にそれぞれ配設され、前記行方向に電流を流すことによって列方向に発生する電流磁界と列方向に電流を流すことによって行方向に発生する電流磁界によって前記磁気抵抗効果素子に選択的にデータを書き込む第 1 の書き込み配線および第 2 の書き込み配線と、

前記第 1 の書き込み配線に流れる書き込みパルス電流および前記第 2 の書き込み配線に流れる書き込みパルス電流の少なくとも一方の書き込みパルス電流の温度依存性を制御する制御回路

とを具備することを特徴とする磁気ランダムアクセスメモリ。

【請求項 2】 前記制御回路は、前記少なくとも一方の書き込みパルス電流に温度依存性を持たせないことを特徴とする請求項 1 記載の磁気ランダムアクセスメモリ。

【請求項 3】 前記制御回路は、高温になるに従って前記少なくとも一方の書き込みパルス電流が大きくなるように温度依存性を持たせるように制御する制御回路

とを具備することを特徴とする請求項 1 記載の磁気ランダムアクセスメモリ。

【請求項 4】 前記制御回路は、前記第 2 の書き込み配線に流れる書き込みパルス電流の印加時間が前記磁気抵抗効果素子に書き込むデータによって異なるように制御することを特徴とする請求項 3 記載の磁気ランダムアクセスメモリ。

【請求項 5】 前記制御回路は、前記第 1 の書き込み配線に流れる書き込みパルス電流の印加時間と前記第 2 の書き込み配線に流れる書き込みパルス電流の印加時間が前記磁気抵抗効果素子に書き込むデータによって異なるように制御することを特徴とする請求項 3 記載の磁気ランダムアクセスメモリ。

【請求項 6】 前記制御回路は、前記第 1 の書き込み配線に流れる書き込み

パルス電流および前記第 2 の書き込み配線に流れる書き込みパルス電流の少なくとも一方の波形の前縁部付近および／または後縁部付近がパルス幅中央部に対して大きさが異なるように制御することを特徴とする請求項 3 記載の磁気ランダムアクセスメモリ。

【請求項 7】 前記制御回路は、前記書き込みパルス電流の印加時間が高温になるにつれて短くなるように制御することを特徴とする請求項 3 記載の磁気ランダムアクセスメモリ。

【請求項 8】 前記制御回路は、前記第 1 の書き込み配線に流れる書き込みパルス電流の印加時間の温度依存性と前記第 2 の書き込み配線に流れる書き込みパルス電流の印加時間の温度依存性が異なるように制御することを特徴とする請求項 3 記載の磁気ランダムアクセスメモリ。

【請求項 9】 前記制御回路は、前記第 1 の書き込み配線に流れる書き込みパルス電流印加開始タイミングと前記第 2 の書き込み配線に流れる書き込みパルス電流印加開始タイミングの関係、および、前記第 1 の書き込み配線に流れるパルス電流印加終了タイミングと前記第 2 の書き込み配線に流れるパルス電流印加終了タイミングの関係が温度によって異なるように制御することを特徴とする請求項 3 記載の磁気ランダムアクセスメモリ。

【請求項 10】 前記制御回路は、前記第 1 の書き込み配線に流れるパルス電流印加開始タイミングとパルス電流印加終了タイミングの関係、および、前記第 2 の書き込み配線に流れるパルス電流印加開始タイミングとパルス電流印加終了タイミングの関係を調整することが可能であることを特徴とする請求項 2 または 3 記載の磁気ランダムアクセスメモリ。

【請求項 11】 前記パルス電流の印加タイミングを調節するための情報を半永久的に記憶するための記憶素子を有することを特徴とする請求項 10 記載の磁気ランダムアクセスメモリ。

【請求項 12】 前記記憶素子は、レーザ溶断型ヒューズ素子であることを特徴とする請求項 11 記載の磁気ランダムアクセスメモリ。

【請求項 13】 前記記憶素子は、トンネル磁気抵抗素子であることを特徴とする請求項 11 記載の磁気ランダムアクセスメモリ。

【請求項 1 4】 前記記憶素子は、トンネル磁気抵抗素子の絶縁破壊の有無により記憶を行うアンチヒューズであることを特徴とする請求項 1 1 記載の磁気ランダムアクセスメモリ。

【請求項 1 5】 請求項 2 記載の磁気ランダムアクセスメモリにおいて、  
前記第 1 の書き込み線に第 1 の書き込みパルス電流を供給するための第 1 のドライバと、

前記第 2 の書き込み線に第 2 の書き込みパルス電流を供給するための第 2 のドライバと、

前記第 1 の書き込みパルス電流を吸収する第 1 のシンカーと、

前記第 2 の書き込みパルス電流を吸収する第 2 のシンカーと、

前記第 1 の書き込みパルス電流の電流波形を制御するための第 1 の設定データおよび前記第 2 の書き込みパルス電流の電流波形を制御するための第 2 の設定データが登録される設定回路と、

前記第 1 のドライバおよび第 1 のシンカーを駆動制御するための第 1 のトリガー信号を生成する第 1 のトリガー回路と、

前記第 2 のドライバおよび第 2 のシンカーを駆動制御するための第 2 のトリガー信号を生成する第 2 のトリガー回路

とを具備し、前記制御回路は、前記設定回路の設定データまたはこれをデコードしたデータに基づいて制御され、前記第 1 のトリガー回路および第 2 のトリガー回路の少なくとも一方を制御することによって前記第 1 ドライバおよび第 2 ドライバによる書き込み電流の印加時間、印加タイミング、書き込み電流の大きさ、書き込み電流の波形の少なくとも 1 つを制御することを特徴とする請求項 2 記載の磁気ランダムアクセスメモリ。

【請求項 1 6】 前記第 1 のトリガー回路は、電流源により制御されて遅延時間が変化する電流制御型の第 1 の遅延回路を有し、書き込み信号に基づいて前記第 1 の遅延回路の遅延量に対応した特性を有する前記第 1 のトリガー信号を生成し、

前記第 2 のトリガー回路は、前記電流源により制御されて遅延時間が変化する電流制御型の第 2 の遅延回路を有し、前記書き込み信号に基づいて前記第 2 の遅

延回路の遅延量に対応した特性を有する前記第 2 のトリガー信号を生成し、

前記電流源は、温度依存性を持たない電流源回路であることを特徴とする請求項 1 5 記載の磁気ランダムアクセスメモリ。

【請求項 1 7】 前記第 1 のトリガー回路は、電流源により制御されて遅延時間が変化する電流制御型の第 1 の遅延回路を有し、書き込み信号に基づいて前記第 1 の遅延回路の遅延量に対応した特性を有する前記第 1 のトリガー信号を生成し、

前記第 2 のトリガー回路は、前記電流源により制御されて遅延時間が変化する電流制御型の第 2 の遅延回路を有し、前記書き込み信号に基づいて前記第 2 の遅延回路の遅延量に対応した特性を有する前記第 2 のトリガー信号を生成し、

前記電流源は、温度に比例して電流が増加する第 1 の電流源の出力と、温度に比例して電流が減少する特性を有する第 2 の電流源の出力を足し合わせることでより温度依存性を無くしたものであることを特徴とする請求項 1 5 記載の磁気ランダムアクセスメモリ。

【請求項 1 8】 請求項 3 記載の磁気ランダムアクセスメモリにおいて、前記第 1 の書き込み線に第 1 の書き込みパルス電流を供給するための第 1 のドライバと、

前記第 2 の書き込み線に第 2 の書き込みパルス電流を供給するための第 2 のドライバと、

前記第 1 の書き込みパルス電流を吸収する第 1 のシンカーと、

前記第 2 の書き込みパルス電流を吸収する第 2 のシンカーと、

前記第 1 の書き込みパルス電流の電流波形を制御するための第 1 の設定データおよび前記第 2 の書き込みパルス電流の電流波形を制御するための第 2 の設定データが登録される設定回路と、

前記第 1 のドライバおよび第 1 のシンカーを駆動制御するための第 1 のトリガー信号を生成する第 1 のトリガー回路と、

前記第 2 のドライバおよび第 2 のシンカーを駆動制御するための第 2 のトリガー信号を生成する第 2 のトリガー回路と、

とを具備し、前記制御回路は、前記設定回路の設定データまたはこれをデコー



ドしたデータに基づいて制御され、前記第 1 のトリガー回路および第 2 のトリガー回路の少なくとも一方を制御することによって前記第 1 ドライバおよび第 2 ドライバによる書き込み電流の印加時間、印加タイミング、書き込み電流の大きさ、書き込み電流の波形の少なくとも 1 つを制御することを特徴とする請求項 3 記載の磁気ランダムアクセスメモリ。

【請求項 1 9】 前記第 1 のトリガー回路は、電流源により制御されて遅延時間が変化する電流制御型の第 1 の遅延回路を有し、書き込み信号に基づいて前記第 1 の遅延回路の遅延量に対応した特性を有する前記第 1 のトリガー信号を生成し、

前記第 2 のトリガー回路は、前記電流源により制御されて遅延時間が変化する電流制御型の第 2 の遅延回路を有し、前記書き込み信号に基づいて前記第 2 の遅延回路の遅延量に対応した特性を有する前記第 2 のトリガー信号を生成する

ことを特徴とする請求項 1 8 記載の磁気ランダムアクセスメモリ。

【請求項 2 0】 前記電流源は、高温になるほど出力電流が大きくなる電流源であることを特徴とする請求項 1 9 記載の磁気ランダムアクセスメモリ。

【請求項 2 1】 前記電流源は、温度に比例して電流が増加する第 1 の電流源の出力から、温度に比例して電流が減少する特性を有する第 2 の電流源の出力を差し引くことにより、高温になるほど出力電流が増加する特性を実現したものであることを特徴とする請求項 2 0 記載の磁気ランダムアクセスメモリ。

【請求項 2 2】 前記電流源は、出力電流の温度依存性に折れ曲がりを持つ電流源であることを特徴とする請求項 1 9 記載の磁気ランダムアクセスメモリ。

【請求項 2 3】 請求項 1 乃至 2 2 のいずれか 1 つに記載の磁気ランダムアクセスメモリにおいて、前記磁気抵抗効果素子は、2 つの強磁性層の間にトンネルバリア膜を挟んだトンネル磁気抵抗素子であることを特徴とする磁気ランダムアクセスメモリ。

【請求項 2 4】 前記第 1 のシンカーの動作は、前記第 1 のドライバの動作が終了してから一定期間が経過した後に終了することを特徴とする請求項 1 5 乃至 2 3 のいずれか 1 つに記載の磁気ランダムアクセスメモリ。

【請求項 2 5】 前記第 2 のシンカーの動作は、前記第 2 のドライバの動作

が終了してから一定期間が経過した後に終了することを特徴とする請求項 1 5 乃至 2 3 のいずれか 1 つに記載の磁気ランダムアクセスメモリ。

【請求項 2 6】 前記第 1 の書き込み線は書き込みワード線であり、前記第 2 の書き込み線は書き込みビット線であることを特徴とする請求項 1 5 乃至 2 5 のいずれか 1 つに記載の磁気ランダムアクセスメモリ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、磁気ランダムアクセスメモリ (MRAM: Magnetic Random Access Memory) に係り、特にトンネル型磁気抵抗効果により “1” / “0” 情報の記憶を行う素子を利用して構成した磁気メモリセルを用いる MRAM における書き込み電流パルス調整回路に関する。

【0 0 0 2】

【従来技術】

近年、新たな原理により情報を記憶するメモリが数多く提案されているが、そのうちの一つに、トンネル型磁気抵抗 (Tunneling Magneto Resistive) 効果を用いて “1” / “0” 情報の記憶を行う強磁性トンネル接合 (Magnetic Tunnel Junction: 以後、MTJ と表記する) 素子を利用して構成した磁気メモリセルを行列状に配置した不揮発性、高速性を併せ持つ MRAM が提案されている (例えば、非特許文献 1 参照)。

【0 0 0 3】

図 6 1 は、MRAM で用いられる MTJ 素子の断面構造を概略的に示す。

【0 0 0 4】

この MTJ 素子は、2 つの磁性層 (強磁性層、強磁性体膜) で 1 つの非磁性層 (トンネルバリア膜) を挟んだ構造を有し、2 つの磁性層の磁化の向きが平行であるか反平行であるかによって “1” / “0” 情報を記憶する。

【0 0 0 5】

通常、2 つの磁性層の一方側には反強磁性層が配置される。反強磁性層は、一方側の磁性層の磁化の向きを固定することによって、他方側の磁性層の磁化の向

きのみを変えることにより情報を容易に書き換えるための部材である。ここで、磁化の向きが可変である一方側の磁性層は自由層（または記録層）、磁化の向きが固定である他の一方側の磁性層は固定層（またはピン層）と呼ばれる。

## 【 0 0 0 6 】

図 6 2 ( a ) および ( b ) は、図 6 1 に示した M T J 素子の 2 つの磁性層の磁化の向きの 2 つの状態を示している。

## 【 0 0 0 7 】

図 6 2 . ( a ) に示すように、2 つの磁性層の磁化の向き（図示矢印の向き）が平行（同じ）である場合は、2 つの磁性層に挟まれたトンネルバリア膜のトンネル抵抗は最も低くなる（トンネル電流が最も大きくなる）。

## 【 0 0 0 8 】

図 6 2 ( b ) に示すように、2 つの磁性層の磁化の向きが反平行である場合は、2 つの磁性層に挟まれたトンネルバリア膜のトンネル抵抗は最も高くなる（トンネル電流が最も小さくなる）。

## 【 0 0 0 9 】

M R A M では、M T J 素子の抵抗値が異なる 2 つの状態を、“ 1 ” 情報の記憶状態（“ 1 ” 状態）および“ 0 ” 情報の記憶状態（“ 0 ” 状態）に対応させている。

## 【 0 0 1 0 】

図 6 3 は、M R A M のセルアレイの平面レイアウトの一例を模式的に示す。

## 【 0 0 1 1 】

複数の書き込み／読み出し用のビット線 B L と複数の書き込みワード線 W W L が直交方向に配設され、その各交点に対応して M T J 素子が配設される。この M T J 素子は、長方形の長辺が書き込みワード線 W W L に沿い、短辺がビット線 B L に沿い、長辺方向に沿うように磁化方向が付与されている。各ビット線は、同一行（または列）の複数の M T J 素子の各一方の磁性層に接続されており、各書き込みワード線は同一列（または行）の複数の M T J 素子の各他方の磁性層に近接して対向するように配置されている。

## 【 0 0 1 2 】

次に、図 6 3 を参照して M T J 素子に対する書き込み動作原理を説明する。

【 0 0 1 3 】

M T J 素子に対する書き込みは、書き込みワード線 W W L およびビット線 B L に電流を流し、両配線に流れる電流により作られる磁界を用いて M T J 素子の磁化の向きを平行または反平行にすることにより達成される。

【 0 0 1 4 】

即ち、M T J 素子へ情報を書き込む時には、ビット線 B L には書き込みデータに応じて第 1 の方向またはそれとは逆の第 2 の方向に向かう電流を流して磁界  $H_x$  を発生させ、書き込みワード線 W W L には一定方向に向かう電流のみを流して磁界  $H_y$  を発生させることにより、合成磁界を用いて情報を書き込む。この際、ビット線 B L に第 1 の方向に向かう電流を流すと、M T J 素子の磁化の向きは平行となり、ビット線 B L に第 2 の方向に向かう電流を流すと、M T J 素子の磁化の向きは反平行となる。

【 0 0 1 5 】

M T J 素子から情報を読み出す時には、読み出しワード線を活性化させ、選択された M T J 素子に接続されるスイッチ素子のみをオン状態として電流経路を作り、選択されたビット線 B L から接地電位へ電流を流す。その結果、選択された M T J 素子のみはその抵抗値に応じた電流が流れるので、その電流値を検出することにより情報を読み出すことができる。

【 0 0 1 6 】

次に、M T J 素子の磁化の向きが変わる仕組みについて、図 6 4 および図 6 5 を参照しながら簡単に説明する。

【 0 0 1 7 】

図 6 4 は、M T J 素子の印加磁界による抵抗値の変化特性（T M R 曲線）を示している。

【 0 0 1 8 】

図 6 5 は、M T J 素子のアステロイド曲線を示している。

【 0 0 1 9 】

図 6 4 に示す T M R 曲線のように、M T J 素子の Easy-Axis（磁化容易軸）方

向に磁界 $H_x$ をかけると、MTJ素子の抵抗値は例えば17%程度変化する。この変化率（変化の前後の抵抗の比）は、MR比と呼ばれる。なお、MR比は、MTJ素子の磁性層の性質により変化する。現在では、MR比が50%程度のMTJ素子も得られている。MTJ素子には、Easy-Axis 方向の磁界 $H_x$ とHard-Axis（磁化困難軸）方向の磁界 $H_y$ との合成磁界が印加される。

## 【0020】

図64中の実線および点線に示すように、Hard-Axis 方向の磁界 $H_y$ の大きさによって、MTJ素子の抵抗値を変えるために必要なEasy-Axis 方向の磁界 $H_x$ の大きさも変化する。この現象を利用することにより、アレイ状に配置されるメモリセルのうち、選択された書き込みワード線EELおよび選択されたビット線BLの交点に対応して配置されているMTJ素子のみにデータを書き込むことができる。

## 【0021】

即ち、図65に示すように、Easy-Axis 方向の磁界 $H_x$ とHard-Axis 方向の磁界 $H_y$ との合成磁界の大きさがアステロイド曲線の外側（例えば図中の黒丸の位置）にあれば、MTJ素子の磁性層の磁化の向きを反転させる（書き込む）ことができる。

## 【0022】

逆に、Easy-Axis 方向の磁界 $H_x$ とHard-Axis 方向の磁界 $H_y$ との合成磁界の大きさがアステロイド曲線の内側（例えば図中の白丸の位置）にある場合には、MTJ素子の磁性層の磁化の向きを反転させる（書き込む）ことはできない。

## 【0023】

従って、Easy-Axis 方向の磁界 $H_x$ とHard-Axis 方向の磁界 $H_y$ との合成磁界の大きさを換え、合成磁界の大きさの $H_x$ - $H_y$  平面内における位置を変えることにより、MTJ素子に対するデータの書き込みを制御できる。

## 【0024】

また、Easy-Axis 方向のみの磁界 $H_x$ （書き込みワード線電流のみによる磁界 $H_x$ ）、あるいは、Hard-Axis 方向のみの磁界 $H_y$ （書き込みビット線電流のみによる磁界 $H_x$ ）では、磁界がアステロイド曲線の外側に出ないので、書き込むことがで

きない。

【 0 0 2 5 】

なお、MTJ素子からのデータの読み出しは、選択されたMTJ素子に電流を流し、そのMTJ素子の抵抗値を検出することにより容易に行うことができる。例えば、MTJ素子に直列にスイッチ素子を接続し、選択された読み出しワード線に接続されるスイッチ素子のみをオン状態として電流経路を作る。その結果、選択されたMTJ素子だけに電流が流れるため、そのMTJ素子のデータを読み出すことができる。

【 0 0 2 6 】

MRAMにおける書き込み動作に関しては、MTJ素子に常に正確に書き込みデータを書き込むこと、即ち、書き込み特性の安定化が要求される。書き込み特性の安定化は、特に、MTJ素子の記憶データと書き込みデータとが異なる場合に重要となる。このような場合には、MTJ素子の記憶層の磁化方向を安定して反転させなければならない。

【 0 0 2 7 】

図65に示したように、アステロイド曲線がX軸およびY軸に対して対称の形を有している場合には、MTJ素子の自由層（記憶層）の磁化の向きは、反転方向（上向き、下向き）にかかわらず、磁化反転に必要な一定の合成磁界により反転させることができる。

【 0 0 2 8 】

しかし、アステロイド曲線の形状のばらつきによっては、困難軸方向の磁界 $H_x$ のみ、あるいは、容易軸方向の磁界 $H_y$ のみで、アステロイド曲線を越え、磁化反転が生じる場合が発生する。つまり、ワード線電流のみによる磁界、あるいは、ビット線電流のみによる磁界で書き込みが行われてしまうので、ワード線とビット線の一方のみ選択された場合に書き込み状態になる。ここで、MTJ素子が図63に示したように二次元アレイ上に配置されている場合を考えると、MTJ素子のうち、書き込みビット線BLは選択されていないが書き込みワード線WWLは選択されている半選択状態のMTJ素子が存在し、このMTJ素子に対して書き込みワード線WWLの電流のみでアステロイド曲線を越える磁界が発生するとデ

ータを書き込んでしまうことになる。したがって、書き込みワード線WWLの電流には上限が存在する。

## 【 0 0 2 9 】

ところで、MTJ素子の書き込みに必要なスイッチング磁界には温度依存性がある。高温になると、スイッチング磁界は小さくなる。スイッチング磁界の温度依存性に関しては、例えば非特許文献2に開示されている。誤書き込みを防ぐため、書き込み磁界の大きさを温度に応じて変化させることが望ましいことが、非特許文献3に開示されている。また、MTJ素子に対する書き込みスイッチング磁界には印加時間依存性があり、書き込み電流パルス幅が短くなるとスイッチング磁界が大きくなることが、非特許文献4に開示されている。

## 【 0 0 3 0 】

スイッチング磁界の印加時間依存性と温度依存性を考慮すると、同じ書き込み電流の場合には、高温になればなるほど、書き込み電流パルス幅を短くしても書き込みが可能であり、誤書き込みの可能性も大きくなる。この場合、単純にCMOSインバータ回路で書き込み電流パルス幅を決定する回路を構成すると、高温時にはCMOSインバータ回路の動作速度が遅くなるので、書き込み電流パルス幅が大きくなるので、誤書き込みのおそれが大きくなる。

## 【 0 0 3 1 】

なお、非特許文献5には、温度依存性の無い電流源を実現するために、温度に比例して電流が増加する第1の電流源の出力と温度に比例して電流が減少する特性を有する第2の電流源の出力を足し合わせる回路が開示されている。

## 【 0 0 3 2 】

特許文献1には、MTJの磁化方向を再現性よく書き換える方法として、困難軸方向の磁界 $H_y$ を印加して記憶層の端の磁区の磁化方向を一旦そろえた後、容易軸方向の磁界 $H_x$ を印加して書き込むという方法が開示されている。

## 【 0 0 3 3 】

## 【非特許文献1】

Roy Scheuerlein et.al."A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell",ISS

CC2000 Technical Digest pp.128～pp.129

【 0 0 3 4 】

【非特許文献 2】

M.Bhattacharyya,et.al., "Thermal Variations in Switching Fields for Sub-Micron MRAM Cells", IEEE TRANSACTIONS ON MAGNETICS, VOL.37,NO.4, JULY 2001, pp.1970-1972

【 0 0 3 5 】

【非特許文献 3】

T.Honda,et.al., "MRAM-Writing Circuitry to Compensate for Thermal-Variation of Magnetization-Reversal Current", 2002 Symposium on VLSI Circuits Digest of Technical Papers

【 0 0 3 6 】

【非特許文献 4】

M.Motoyoshi,et.al., "High-Performance MRAM Technology with an Improved Magnetic Tunnel Junction Material" 2002 Symposium on VLSI Technology Digest of Technical Papers

【 0 0 3 7 】

【非特許文献 5】

P.R.グレイ、R.G.メイヤ著、超LSI のためのアナログ集積回路設計技術 培風館、1990、p.270 ～276 、A4.3.2 (バンドギャップ電圧を基準としたバイアス回路)

【 0 0 3 8 】

【特許文献 1】

米国特許第 6 0 8 1 4 4 5 号明細書

【 0 0 3 9 】

【発明が解決しようとする課題】

従来のMRAMは、MTJ素子に対する書き込み時のスイッチング磁界の印加時間依存性と温度依存性を考慮すると、同じ書き込み電流の場合には、高温になればなるほど、書き込み電流パルス幅を短くしても書き込みが可能であり、誤書



き込みの可能性も大きくなる。

【 0 0 4 0 】

この場合、単純にCMOSインバータ回路で書き込み電流パルス幅を決定する回路を構成すると、高温時にはCMOSインバータ回路の動作速度が遅くなるので、書き込み電流パルス幅が大きくなり、誤書き込みのおそれが大きくなる。

【 0 0 4 1 】

【発明が解決しようとする課題】

上記したように従来のMRAMは、MTJ素子に対する書き込み電流パルス幅を決定する回路を単純にCMOSインバータ回路で書き込み構成すると、高温時に誤書き込みのおそれが大きくなるという問題があった。

【 0 0 4 2 】

本発明は、上記の問題を解決するためになされたもので、書き込みパルス電流が温度依存性を持たない、あるいは、所望の温度依存性を持つように制御する機能を持ち、広い温度範囲でデータの誤書き込みを防止でき、安定した書き込みが可能で、高信頼性、高歩留り、低価格化を実現し得る磁気ランダムアクセスメモリを提供することを目的とする。

【 0 0 4 3 】

【課題を解決するための手段】

本発明の磁気ランダムアクセスメモリは、メモリ素子である磁気抵抗効果素子が二次元平面的に配置されたメモリセルアレイと、前記磁気抵抗効果素子の位置に対応して直交するように前記メモリセルアレイの行方向および列方向にそれぞれ配設され、前記行方向に電流を流すことによって列方向に発生する電流磁界と列方向に電流を流すことによって行方向に発生する電流磁界によって前記磁気抵抗効果素子に選択的にデータを書き込む第1の書き込み配線および第2の書き込み配線と、前記第1の書き込み配線に流れる書き込みパルス電流および前記第2の書き込み配線に流れる書き込みパルス電流の少なくとも一方の書き込みパルス電流の温度依存性を制御する制御回路とを具備することを特徴とする。

【 0 0 4 4 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0045】

図1は、本発明に係るMRAMの主要部の全体構成の一例を示している。

【0046】

図1に示すMRAM11は、それ自体で1つのメモリチップを構成していてもよいし、また、特定機能を有するチップ内の1つのブロックであってもよい。メモリセルアレイ（データセル）12は、実際に、データを記憶する機能を有し、レファレンスセルアレイ13は、読み出し動作時に、読み出しデータの値を判定するための基準を決める機能を有する。

【0047】

メモリセルアレイ12およびレファレンスセルアレイ13からなるセルアレイのX方向（Easy-Axis 方向）の2つの端部のうちの1つには、ロウデコーダ&ドライバ（ロウデコーダ&書き込みワード線ドライバ、ロウデコーダ&読み出しワード線ドライバ）14が配置され、他の1つには、書き込みワード線シンカー15が配置される。

【0048】

ロウデコーダ&ドライバ14は、書き込み動作時、例えば、ロウアドレス信号に基づいて、複数の書き込みワード線のうちの1つを選択し、かつ、選択された1つの書き込みワード線に、書き込み電流を供給する機能を有する。書き込みワード線シンカー15は、書き込み動作時、例えば、選択された1つの書き込みワード線に供給された書き込み電流を吸収する機能を有する。

【0049】

ロウデコーダ&ドライバ14は、読み出し動作時、例えば、ロウアドレス信号に基づいて、複数の読み出しワード線（書き込みワード線と一体化されていてもよい）のうちの1つを選択し、かつ、選択された1つの読み出しワード線に、読み出し電流を流す機能を有する。センスアンプ20は、例えば、この読み出し電流を検出して、読み出しデータを判定する。

【0050】

メモリセルアレイ12のY方向（Hard-Axis 方向）の2つの端部のうちの1つ

には、カラムデコーダ&書き込みビット線ドライバ/シンカー 1 6 A が配置され、他の 1 つには、カラムデコーダ&書き込みビット線ドライバ/シンカー（カラムトランスファゲート、カラムデコーダを含む） 1 7 A が配置される。

## 【 0 0 5 1 】

カラムデコーダ&書き込みビット線ドライバ/シンカー 1 6 A, 1 7 A は、書き込み動作時、例えば、カラムアドレス信号に基づいて、複数の書き込みビット線（またはデータ選択線）のうちの 1 つを選択し、かつ、選択された 1 つの書き込みビット線に、書き込みデータに応じた向きを有する書き込み電流を流す機能を有する。カラムトランスファゲートおよびカラムデコーダは、読み出し動作時、カラムアドレス信号により選択されたデータ選択線をセンスアンプ 2 0 に電氣的に接続する機能を有する。

## 【 0 0 5 2 】

レファレンスセルアレイ 1 3 の Y 方向の 2 つの端部のうちの 1 つには、レファレンスセル用カラムデコーダ&書き込みビット線ドライバ/シンカー 1 6 B が配置され、他の 1 つには、レファレンスセル用カラムデコーダ&書き込みビット線ドライバ/シンカー（カラムトランスファゲート、カラムデコーダを含む） 1 7 B が配置される。

## 【 0 0 5 3 】

レファレンスセル用カラムデコーダ&書き込みビット線ドライバ/シンカー 1 6 B, 1 7 B は、レファレンスセルアレイ 1 3 にレファレンスデータを記憶させる機能を有する。カラムトランスファゲートおよびカラムデコーダは、読み出し動作時、レファレンスデータを読み出し、これをセンスアンプ 2 0 に転送する機能を有する。

## 【 0 0 5 4 】

アドレスレシーバ 1 8 は、アドレス信号を受け、例えば、ロウアドレス信号を、ロウデコーダ&ドライバ 1 4 に転送し、カラムアドレス信号をカラムデコーダ&書き込みビット線ドライバ/シンカー 1 6 A, 1 7 A に転送する。データ入力レシーバ 1 9 は、書き込みデータをカラムデコーダ&書き込みビット線ドライバ/シンカー 1 6 A, 1 7 A に転送する。また、データ出力ドライバ 2 1 は、セン

スアンプ 2 0 で検出された読み出しデータを M R A M チップの外部へ出力する。

【 0 0 5 5 】

制御回路 2 2 は、／ C E (Chip Enable) 信号、／ W E (Write Enable) 信号および／ O E (Output Enable) 信号を受け、 M R A M 1 1 の動作を制御するものである。制御回路 2 2 は、書き込み動作時に書き込み信号 W R I T E を書き込み電流波形制御回路 2 4 に与える。

【 0 0 5 6 】

書き込み電流波形制御回路 2 4 は、書き込み信号 W R I T E を受けると、書き込みワード線ドライブ信号 W W L D R V、書き込みワード線シンク信号 W W L S N K、書き込みビット線ドライブ信号 W B L D R V および書き込みビット線シンク信号 W B L S N K を生成する。

【 0 0 5 7 】

書き込みワード線ドライブ信号 W W L D R V は、ロウデコーダ&ドライバ 1 4 に供給され、書き込みワード線シンク信号 W W L S N K は、書き込みワード線シンカー 1 5 に供給される。書き込みビット線ドライブ信号 W B L D R V および書き込みビット線シンク信号 W B L S N K は、カラムデコーダ&書き込みビット線ドライバ/シンカー 1 6 A、1 7 A に供給される。

【 0 0 5 8 】

ロウデコーダ&ドライバ 1 4 は、書き込みワード線ドライブ信号 W W L D R V が “H”、書き込みワード線シンク信号 W W L S N K が “H” の時、ロウアドレス信号により選択された書き込みワード線に書き込み電流を流す。

【 0 0 5 9 】

書き込みワード線シンカー 1 5 およびカラムデコーダ&書き込みビット線ドライバ/シンカー 1 6 A、1 7 A は、書き込みビット線ドライブ信号 W B L D R V が “H”、書き込みビット線シンク信号 W B L S N K が “H” の時、カラムアドレス信号により選択された書き込みビット線に書き込み電流を流す。

【 0 0 6 0 】

書き込み電流の電流吸収タイミングに関しては、例えば、シンク信号 W W L S N K、W B L S N K が “H” から “L” になるタイミングを、ドライブ信号 W W

LDRV, WBLDRVが“H”から“L”になるタイミングよりも遅らせることにより、書き込みワード／ビット線の電位を完全に0Vにする、といった効果を得ることができる。

## 【0061】

本発明においては、書き込み電流波形制御回路24は、誤書き込み防止のため、書き込みパルス電流のパルス幅を温度によって調整する機能を持つ。例えば、書き込みパルス電流のパルス幅（印加時間）が高温になるにつれて短くなるように制御する。あるいは、書き込み電流のパルス幅の変化と大小の変化とを組み合わせるように制御する。また、磁気抵抗効果素子の磁化が平行状態から反平行状態へ反転するのに必要なスイッチング磁界と、反平行状態から平行状態へ反転するのに必要なスイッチング磁界が異なる場合、書き込みデータに応じて書き込み電流のパルス幅を変える（スイッチング磁界が小さい方のパルス幅を小さくする）ように制御する。以下、詳しく説明する。

## 【0062】

## ＜第1の実施形態＞

図2は、図1中のロウデコーダ&書き込みワード線ドライバ14／シンカー15の1ロウ分の具体的な回路例1を示している。

## 【0063】

ロウデコーダ&書き込みワード線ドライバ14の1ロウ分は、NANDゲート回路NAD1およびPチャネルMOSトランジスタWS1から構成される。

## 【0064】

NANDゲート回路NAD1には、書き込みワード線ドライブ信号WWLDREVおよび複数ビットから構成されるロウアドレス信号（ロウi毎に異なる）が入力される。

## 【0065】

PチャネルMOSトランジスタWS1のゲートは、NANDゲート回路NAD1の出力端子に接続され、そのソースは、電源端子VDDに接続され、そのドレインは、書き込みワード線WWLi（i=1, …）の一端に接続される。

## 【0066】

書き込みワード線シンカー 1 5 の 1 ロウ分は、NチャネルMOSトランジスタ TN 1 から構成される。NチャネルMOSトランジスタ TN 1 のソースは、接地端子 V S S に接続され、そのドレインは、書き込みワード線 WWL i の他端に接続される。NチャネルMOSトランジスタ TN 1 のゲートには、書き込みワード線シンク信号 WWL SNK が入力される。

## 【 0 0 6 7 】

書き込み動作時、書き込みワード線ドライブ信号 WWL DRV が “H” になると共に、選択されたロウ i ではロウアドレス信号の全てのビットが “H” となる。即ち、選択されたロウ i では、NANDゲート回路 NAD 1 の出力信号が “L” となるので、PチャネルMOSトランジスタ WS 1 がオンになり、所定の大きさを有する書き込みワード線電流が書き込みワード線 WWL i に供給される。

## 【 0 0 6 8 】

書き込みワード線シンク信号 WWL SNK が “H” になると、NチャネルMOSトランジスタ TN 1 がオン状態となるため、書き込みワード線 WWL i に流れる書き込み電流は、NチャネルMOSトランジスタ TN 1 を経由して、接地点 V S S に吸収される。

## 【 0 0 6 9 】

また、書き込みワード線ドライブ信号 WWL DRV を “L” に設定した後、書き込みワード線シンク信号 WWL SNK を “L” に設定すれば、書き込み動作後の書き込みワード線 WWL i の電位を完全に 0 V にすることができ、初期化に好都合である。

## 【 0 0 7 0 】

図 3 は、図 1 中のカラムデコーダ&書き込みビット線ドライバ/シンカー 1 6 A、1 7 A の 1 カラム分の具体的な回路例 1 を示している。

## 【 0 0 7 1 】

カラムデコーダ&書き込みビット線ドライバ/シンカー 1 6 A の 1 カラム分は、NANDゲート回路 NAD 2、ANDゲート回路 AD 1、PチャネルMOSトランジスタ BS 1 およびNチャネルMOSトランジスタ BN 0 から構成される。

## 【 0 0 7 2 】

NANDゲート回路NAD2には、書き込みビット線ドライブ信号WBLDRV、複数ビットから構成されるカラムアドレス信号（カラムi毎に異なる）および書き込みデータDATAが入力される。

【0073】

PチャネルMOSトランジスタBS1のゲートは、NANDゲート回路NAD2の出力端子に接続され、そのソースは、電源端子VDDに接続され、そのドレインは、共通に、書き込みビット線WBLi（i = 1, ...）の一端に接続される。

【0074】

ANDゲート回路AD1には、書き込みビット線シンク信号WBLSNK、複数ビットから構成されるカラムアドレス信号（カラムi毎に異なる）および書き込みデータの反転信号bDATAが入力される。

【0075】

NチャネルMOSトランジスタBN0のゲートは、ANDゲート回路AD1の出力端子に接続され、そのソースは、接地端子VSSに接続され、そのドレインは、書き込みビット線WBLi（i = 1, ...）の一端に接続される。

【0076】

カラムデコーダ&書き込みビット線ドライバ/シンカー17Aの1カラム分は、NANDゲート回路NAD3、ANDゲート回路AD2、PチャネルMOSトランジスタBS2およびNチャネルMOSトランジスタBN1から構成される。

【0077】

NANDゲート回路NAD3には、書き込みビット線ドライブ信号WBLDRV、複数ビットから構成されるカラムアドレス信号（カラムi毎に異なる）および書き込みデータの反転信号bDATAが入力される。

【0078】

PチャネルMOSトランジスタBS2のゲートは、NANDゲート回路NAD3の出力端子に接続され、そのソースは、電源端子VDDに接続され、そのドレインは、共通に、書き込みビット線WBLi（i = 1, ...）の他端に接続される。

## 【 0 0 7 9 】

ANDゲート回路AD2には、書き込みビット線シンク信号WBLSNK、複数ビットから構成されるカラムアドレス信号（カラムi毎に異なる）および書き込みデータDATAが入力される。

## 【 0 0 8 0 】

NチャネルMOSトランジスタBN1のゲートは、ANDゲート回路AD2の出力端子に接続され、そのソースは、接地端子VSSに接続され、そのドレインは、書き込みビット線WBLi（ $i = 1, \dots$ ）の他端に接続される。

## 【 0 0 8 1 】

書き込み動作時、書き込みビット線ドライブ信号WBLDVおよび書き込みビット線シンク信号WBLSNKが共に“H”となり、かつ、選択されたカラムiでは、カラムアドレス信号の全てのビットが“H”となる。

## 【 0 0 8 2 】

従って、選択されたカラムiでは、カラムデコーダ&書き込みビット線ドライバ/シンカー16Aとカラムデコーダ&書き込みビット線ドライバ/シンカー17Aとの間に書き込みビット線電流が流れる。この時の書き込みビット線電流の大きさは、PチャネルMOSトランジスタBS1あるいはPチャネルMOSトランジスタBS2により決まる。

## 【 0 0 8 3 】

書き込みビット線WBLiに流れる書き込み電流の向きは、書き込みデータDATAの値により決まる。例えば書き込みデータDATAが“1”（＝“H”）の時には、NANDゲート回路NAD2の出力信号が“L”となってPチャネルMOSトランジスタBS1がオンになり、また、ANDゲート回路AD2の出力信号が“H”となってNチャネルMOSトランジスタBS2がオンになり、カラムデコーダ&書き込みビット線ドライバ/シンカー16Aからカラムデコーダ&書き込みビット線ドライバ/シンカー17Aに向かう書き込み電流が流れる。

## 【 0 0 8 4 】

また、書き込みデータDATAが“0”（＝“L”）の時には、NANDゲート回路NAD3の出力信号が“L”となってPチャネルMOSトランジスタBS



2 がオンになり、また、ANDゲート回路AD1の出力信号が“H”となってNチャネルMOSトランジスタBS1がオンになり、カラムデコーダ&書き込みビット線ドライバ/シンカー17Aからカラムデコーダ&書き込みビット線ドライバ/シンカー16Aに向かう書き込み電流が流れる。

## 【0085】

なお、書き込みビット線ドライブ信号WBLDRVを“L”に設定した後、書き込みビット線シンク信号WBLSNKを“L”に設定すれば、書き込み動作後の書き込みビット線WBLiの電位を完全に0Vにすることができ、初期化に好都合である。

## 【0086】

図4は、図2に示した書き込みWLドライバ/シンカー用のトリガー回路の一例を示す。

## 【0087】

このトリガー回路は、WWLDRV生成回路25XおよびWWLSNK生成回路25Yから構成され、書き込みWLドライバ/シンカーに供給するための書き込みワード線ドライブ信号WWLDRV、書き込みワード線シンク信号WWLSNKを生成する。

## 【0088】

WWLDRV生成回路25Xは、NANDゲート回路ND1、遅延回路Aおよびインバータ回路IV1、IV2から構成され、書き込み信号WRITEに基づいて書き込みワード線ドライブ信号WWLDRVを生成し、書き込みWLドライバに供給する。書き込み信号WRITEは、書き込み開始であることを示す内部制御信号であり、書き込みモード中は“H”となっているものとする。

## 【0089】

WWLSNK生成回路25Yは、遅延回路27およびNANDゲート回路ND2から構成され、WWLDRV生成回路25X中のNANDゲート回路ND1の出力信号に基づいて書き込みワード線シンク信号WWLSNKを生成し、書き込みWLシンカーに供給する。

## 【0090】

図 5 は、図 3 に示した書き込み B L ドライバ／シンカー用のトリガー回路の一例を示す。

【 0 0 9 1 】

このトリガー回路は、W B L D R V 生成回路 2 6 X および W B L S N K 生成回路 2 6 Y から構成され、書き込み B L ドライバ／シンカーに供給するための書き込みビット線ドライブ信号 W B L D R V、書き込みビット線シンク信号 W B L S N K を生成する。

【 0 0 9 2 】

W B L D R V 生成回路 2 6 X は、N A N D ゲート回路 N D 3、遅延回路 B およびインバータ回路 I V 3、I V 4 から構成され、書き込み信号 W R I T E に基づいて書き込みビット線ドライブ信号 W B L D R V を生成し、書き込み B L ドライバに供給する。

【 0 0 9 3 】

W B L S N K 生成回路 2 6 Y は、遅延回路 2 8 および N A N D ゲート回路 N D 4 から構成され、W B L D R V 生成回路 2 6 X 中の N A N D ゲート回路 N D 3 の出力信号に基づいて書き込みビット線シンク信号 W B L S N K を生成し、書き込み B L シンカーに供給する。

【 0 0 9 4 】

書き込み信号 W R I T E が “ L ” から “ H ” に変化すると、書き込みワード線ドライブ信号 W W L D R V、書き込みビット線ドライブ信号 W B L D R V および書き込みワード線シンク信号 W W L S N K、書き込みビット線シンク信号 W B L S N K がほぼ同時に “ L ” から “ H ” に変化する。

【 0 0 9 5 】

図 6 は、図 4 および図 5 に示したトリガー回路の動作波形を示す。

【 0 0 9 6 】

この動作波形から分かるように、図 4、図 5 中の遅延回路 A、B は、その遅延時間によって出力パルス幅を決定し、遅延時間の温度依存性によって出力パルス幅を制御し、ひいては、書き込み W L ドライバ／シンカーおよび書き込み B L ドライバ／シンカーの書き込み電流パルス幅を制御することができる。

## 【 0 0 9 7 】

また、図 4、図 5 中の遅延回路 2 7、2 8 は、書き込み信号 W R I T E が “H” から “L” に変化し、かつ、書き込みワードドライブ信号 W W L D R V / 書き込みビット線ドライブ信号 W B L D R V が “H” から “L” に変化してから、書き込みワード線シンク信号 W W L S N K / 書き込みビット線シンク信号 W B L S N K が “H” から “L” に変化するまでの時間（インターバル）を決定する。このインターバルは、書き込み動作終了後、書き込みワード線 W W L i の電位を 0 V にするための期間である。

## 【 0 0 9 8 】

次に、図 4 中の遅延回路 A および図 5 中の遅延回路 B の遅延時間の温度依存性を所望通り実現する回路例について説明する。

## 【 0 0 9 9 】

（遅延回路 A、B の第 1 の回路例）

図 7 は、電流制御型の遅延回路の一例を示す。

## 【 0 1 0 0 】

この遅延回路は、電流源 I source により制御される電流量に比例して遅延時間が小さくなる。したがって、この遅延回路を図 4、図 5 中の遅延回路 A、B として用いれば、電流量に比例してトリガー回路の出力パルス幅が短くなる。

## 【 0 1 0 1 】

ここで、電流源 I source として、電源電圧依存性の無いものを用いることにより、遅延時間の電源電圧依存性をほぼ無くすることができる。さらに、電流源 I source として、温度依存性の無いものを用いることにより、遅延時間の温度依存性をほぼ無くすることができる。

## 【 0 1 0 2 】

このような温度依存性をほぼ無くした遅延回路を図 4、図 5 中の遅延回路 A、B として用いることにより、トリガー回路の出力パルス幅の温度依存性をほぼ無くすることができる。

## 【 0 1 0 3 】

図 8 は、温度依存性をほぼ無くした電流源 I source の一回路例を示す。

## 【 0 1 0 4 】

この電流源  $I_{source}$  は、BGR（バンドギャップリファレンス）回路を用いたものであり（非特許文献 5 参照）、温度に比例して電流が減少する第 1 の電流源 8 1 の電流をコピーした電流  $I_1$  と、温度に比例して電流が増加する特性を有する第 2 の電流源 8 2 の電流をコピーした電流  $I_2$  を足し合わせることで、温度依存性がほぼ無くなる。

## 【 0 1 0 5 】

図 9 は、図 8 の回路の温度依存性を示す特性図である。

## 【 0 1 0 6 】

（遅延回路 A，B の第 2 の回路例）

図 7 に示した電流制御型の遅延回路の電流源  $I_{source}$  として、高温になればなるほど出力電流が大きくなる電流源を用いることにより、高温になるにつれて遅延回路の遅延時間が小さくなり、この遅延回路を図 4、図 5 中の遅延回路 A，B として用いれば、電流源  $I_{source}$  の電流量に比例してトリガー回路の出力パルス幅が短くなる。

## 【 0 1 0 7 】

図 1 0 は、高温になればなるほど出力電流が大きくなる電流源  $I_{source}$  の一例を示す。

## 【 0 1 0 8 】

この電流源  $I_{source}$  は、図 8 に示した温度に比例して電流が増加する第 2 の電流源 8 2 の電流をコピーした電流  $I_2$  から、温度に比例して電流が減少する特性を有する第 1 の電流源 8 1 の電流をコピーした電流  $I_1$  を差し引くことにより、高温になると出力が増加する特性を実現したものである。

## 【 0 1 0 9 】

図 1 1 は、図 1 0 の回路の温度依存性を示す特性図である。

## 【 0 1 1 0 】

（遅延回路 A，B の第 3 の回路例）

図 7 に示した電流制御型の遅延回路の電流源  $I_{source}$  として、温度依存性に折れ曲がりを持たせることにより、遅延時間の温度依存性に折れ曲がりを持たせる

ことができ、この遅延回路を図 4、図 5 中の遅延回路 A、B として用いることにより、出力パルス幅の温度依存性に折れ曲がりを持たせることができる。

【 0 1 1 1 】

図 1 2 は、温度依存性に折れ曲がりを持つ電流源 I<sub>source</sub> の一例を示す。

【 0 1 1 2 】

図 1 3 は、図 1 2 の電流源 I<sub>source</sub> の温度依存性を示す特性図である。

【 0 1 1 3 】

図 1 2 の電流源 I<sub>source</sub> は、温度に比例して電流が増加する第 1 の電流源 1 2 1 および第 2 の電流源 1 2 2 と、温度に比例して電流が減少する第 3 の電流源 1 2 3 と、上記 3 つの電流源の出力の組み合わせを切り替え可能な組み合わせ回路 1 2 4 と、温度を検知して前記組み合わせを切り替え制御する温度センサ回路 1 2 5 とからなる。

【 0 1 1 4 】

組み合わせ回路 1 2 4 は、ある一定の第 1 の温度  $T_1$  以下では第 1 の電流源 1 2 1 の電流をコピーした電流  $I_1$  のみを出力する。また、 $T_1$  より高い温度領域では、第 1 の電流源 1 2 1 の電流をコピーした電流  $I_1$  に第 2 の電流源 1 2 2 の電流をコピーした電流  $I_2$  を加え、この合成電流 ( $I_1 + I_2$ ) から第 3 の電流源 1 2 3 の電流をコピーした電流  $I_3$  を差し引いた電流を出力するように構成されている。

【 0 1 1 5 】

温度センサ回路 1 2 5 の一例として、温度に比例して電流が増加する回路の出力電流と温度に比例して電流が減少する回路の出力電流を組み合わせることにより実現可能である。

【 0 1 1 6 】

即ち、図 1 2 中の温度センサ回路 1 2 5 は、例えば図 1 3 中に示すように、第 1 の温度  $T_1$  以下では、相補的な二値信号  $V_{temp}$ ,  $b V_{temp}$  としてそれぞれ “H”、“L” を出力する。 $T_1$  を越える温度領域では、相補的な二値信号  $V_{temp}$ ,  $b V_{temp}$  はそれぞれ “L”、“H” となる。この相補的な二値信号により第 2 の電流源 1 2 2 の電流をコピーした電流  $I_2$  および第 3 の電流源 1 2 3 の電流をコピーした電流  $I_3$  の経路をスイッチ制御するように構成されている。

## 【 0 1 1 7 】

温度センサ回路 1 2 5 の特性の切り替わり点（第 1 の温度  $T_1$ ）は、温度に比例して電流が増加する回路の出力電流量と電流が減少する回路の出力電流量の配分により設定可能である。

## 【 0 1 1 8 】

（遅延回路 A，B の第 4 の回路例）

図 7 に示した電流制御型の遅延回路の電流源  $I_{source}$  として、温度依存性に 2 つの折れ曲がりを持たせることにより、遅延時間の温度依存性に 2 つの折れ曲がりを持たせることができ、この遅延回路を図 4、図 5 中の遅延回路 A，B として用いることにより、出力パルス幅の温度依存性に 2 つの折れ曲がりを持たせることができる。

## 【 0 1 1 9 】

図 1 4 は、温度依存性に折れ曲がりをもつ電流源  $I_{source}$  の一例を示す。

## 【 0 1 2 0 】

図 1 5 は、図 1 4 の電流源  $I_{source}$  の温度依存性を示す特性図である。

## 【 0 1 2 1 】

図 1 4 の電流源  $I_{source}$  は、温度に比例して電流が増加する第 1 の電流源 1 4 1、第 2 の電流源 1 4 2 および第 4 の電流源 1 4 4 と、温度に比例して電流が減少する第 3 の電流源 1 4 3 および第 5 の電流源 1 4 5 と、上記 5 つの電流源の出力の組み合わせを切り替え可能な組み合わせ回路 1 4 6 と、温度を検知して前記組み合わせを切り替え制御する第 1 の温度センサ回路 1 4 7 および第 2 の温度センサ回路 1 4 8 とからなる。

## 【 0 1 2 2 】

組み合わせ回路 1 4 6 は、ある一定の第 1 の温度  $T_1$  以下では第 1 の電流源 1 4 1 の電流をコピーした電流  $I_1$  のみを出力する。また、 $T_1$  より高い温度領域では、第 1 の電流源 1 4 1 の電流をコピーした電流  $I_1$  に第 2 の電流源 1 4 2 の電流をコピーした電流  $I_2$  を加え、この合成電流 ( $I_1 + I_2$ ) から第 3 の電流源 1 4 3 の電流をコピーした電流  $I_3$  を差し引いた電流 ( $I_1 + I_2 - I_3$ ) を出力する。また、前記  $T_1$  より高い第 2 の温度  $T_2$  より高い温度領域では、前記電流 ( $I_1 + I_2 - I_3$ ) に第 4 の電

流源 1 4 4 の電流をコピーした電流  $I_4$  を加え、この合成電流  $(I_1 + I_2 - I_3 + I_4)$  から第 5 の電流源 1 4 5 の電流をコピーした電流  $I_5$  を差し引いた電流  $(I_1 + I_2 - I_3 + I_4 - I_5)$  を出力するように構成されている。

## 【 0 1 2 3 】

第 1 の温度センサ回路 1 4 7 は、図 1 5 中に示すように、 $T_1$  以下では、 $V_{temp1}$  が “L” で、 $T_1$  を越える温度領域では  $V_{temp1}$  が “H” となり、この出力に基づいて相補的な二値信号  $V_{temp1}$ 、 $V_{temp2}$  を出力するように構成されている。この相補的な二値信号により第 2 の電流源 1 4 2 の電流をコピーした電流  $I_2$  および第 3 の電流源 1 4 3 の電流をコピーした電流  $I_3$  の経路をスイッチ制御するように構成されている。

## 【 0 1 2 4 】

第 2 の温度センサ回路 1 4 8 は、図 1 5 中に示すように、 $T_2$  以下では、 $V_{temp2}$  が “L” で、 $T_2$  を越える温度領域では  $V_{temp2}$  が “H” となり、この出力に基づいて相補的な二値信号を出力するように構成されている。そして、この相補的な二値信号により第 4 の電流源 1 4 4 の出力電流  $I_4$  および第 5 の電流源 1 4 5 の出力電流  $I_5$  の経路をスイッチ制御するように構成されている。

## 【 0 1 2 5 】

(遅延回路 A、B とトリガー回路の出力パルス幅の温度特性のまとめ)

図 1 6 は、遅延回路 A、B として CMOS インバータ回路を用いた場合の温度と出力パルス幅の関係を示す。温度が高くなるにつれて出力パルス幅が長くなる特性が得られる。

## 【 0 1 2 6 】

図 1 7 は、遅延回路 A、B として、図 8 に示した電流源を電流源  $I_{source}$  とする図 7 の電流制御型遅延回路を用いた場合の温度と出力パルス幅の関係を示す。出力パルス幅が温度に依存しない特性が得られる。

## 【 0 1 2 7 】

図 1 8 は、遅延回路 A、B として、図 1 0 に示した電流源を電流源  $I_{source}$  とする図 7 の電流制御型遅延回路を用いた場合の温度と出力パルス幅の関係を示す。温度が高くなるにつれて出力パルス幅が短くなる特性が得られる。

## 【 0 1 2 8 】

図 1 9 は、遅延回路 A、B として、図 1 2 に示した電流源を電流源 I<sub>source</sub> とする図 7 の電流制御型遅延回路を用いた場合の温度と出力パルス幅の関係を示す。温度が高くなるにつれて出力パルス幅が短くなる特性が得られ、かつ、1 つの温度ポイントで特性が折れ曲がる。

## 【 0 1 2 9 】

図 2 0 は、遅延回路 A、B として、図 1 4 に示した電流源を電流源 I<sub>source</sub> とする図 7 の電流制御型遅延回路を用いた場合の温度と出力パルス幅の関係を示す。温度が高くなるにつれて出力パルス幅が短くなる特性が得られ、かつ、2 つの温度ポイントで特性が折れ曲がる。

## 【 0 1 3 0 】

上記したように第 1 の実施形態の M R A M の特徴は、書き込み W L ドライバ／シンカーのトリガー回路の遅延回路 A および書き込み B L ドライバ／シンカーのトリガー回路の遅延回路 B のそれぞれの温度特性を適切に設定することによって、書き込み電流値のパルス幅を温度に依存させないようにしたり、温度によって調整する機能を持たせ、高温領域における誤書き込みを防止することができる。

## 【 0 1 3 1 】

## ＜第 2 の実施形態＞

第 2 の実施形態では、図 4 に示した書き込み W L ドライバ／シンカー用トリガー回路に用いられる遅延回路 A の温度依存性と、図 5 に示した書き込み B L ドライバ／シンカー用トリガー回路に用いられる遅延回路 B の温度依存性とを互いに異ならせる例について説明する。

## 【 0 1 3 2 】

2 組の遅延回路 A、B にそれぞれ図 7 に示した電流制御型の遅延回路を用いる場合には、この 2 組の遅延回路に用いられる 2 組の電流源 I<sub>source</sub> の温度依存性を互いに異ならせる。この場合、図 1 0 に示した電流源 I<sub>source</sub> 中の温度に比例して電流が減少する第 1 の電流源 8 1 の電流量と、温度に比例して電流が増加する第 2 の電流源 8 2 の電流量との配分を変えることにより、異なる温度依存性を持つ 2 組の電流源 I<sub>source</sub> を実現することができる。



## 【 0 1 3 3 】

これにより、図 2 に示した書き込み W L ドライバ／シンカーによる書き込み電流のパルス幅と図 3 に示した書き込み B L ドライバ／シンカーによる書き込み電流のパルス幅の温度依存性を互いに異ならせることができる。

## 【 0 1 3 4 】

なお、図 1 0 に示した電流源 I<sub>source</sub> の電流の温度依存性に 1 乃至複数の折れ曲がりポイントを持たせる場合には、前述した遅延回路 A、B の第 3 の回路例または第 4 の回路例と同様に実施可能である。

## 【 0 1 3 5 】

## &lt; 第 3 の実施形態 &gt;

前述した特許文献 1 の「Method to Write/Read MRAM Arrays」には、M T J の磁化方向を再現性よく書き換える方法として、困難軸方向の磁界 H<sub>y</sub> を印加して、記憶層の端の磁区の磁化方向を一旦そろえた後、容易軸方向の磁界 H<sub>x</sub> を印加して書き込むという方法が提案されている。つまり、書き込み W L に書き込み電流を流した後、書き込み B L に書き込み電流を流すという方法である。M T J 記憶層の磁化反転は記憶層強磁性層の端から進むと言われており、この端部の磁化方向を困難軸方向に揃えて不安定化しておくのは、容易軸方向の磁界 H<sub>x</sub> を抑えて書き込む、つまり、書き込み電流を抑えて書き込むことが可能であると述べられている。この場合、記憶層強磁性層の端の磁化反転には温度依存性があり、高温では磁化反転が容易になる。

## 【 0 1 3 6 】

しかし、上記方法は、書き込み時間が延びるので、メモリセルアレイにおいて書き込み W L による磁界のみ印加された半選択状態のセルへの誤書き込みストレスが増えることを意味し、高温で磁化反転が容易な状態に晒されることは望ましくない。

## 【 0 1 3 7 】

したがって、高温では、困難軸方向の磁界印加の開始と容易軸方向の磁界印加の開始の間のインターバルを小さくすることが望ましく、第 3 の実施形態では、図 5 に示した書き込み B L ドライバ／シンカー用トリガー回路を一部変更する例

について以下に説明する。

【 0 1 3 8 】

図 2 2 は、図 5 に示した書き込み B L ドライバ／シンカー用トリガー回路の変形例 1 を示す。

【 0 1 3 9 】

図 2 3 は、図 2 2 の書き込み W L ドライバ／シンカー用トリガー回路を図 4 の書き込み W L ドライバ／シンカー用トリガー回路と組み合わせて使用した場合の動作波形例を示す。

【 0 1 4 0 】

図 2 2 のトリガー回路は、図 5 に示したトリガー回路と比べて、遅延回路 B を遅延回路 C に変更し、書き込み信号 W R I T E を遅延回路 C を経由させて N A N D ゲート回路 N D 3 の一方の入力とした点が異なり、その他は同じであるので図 5 中と同一符号を付している。

【 0 1 4 1 】

上記遅延回路 C の挿入により、その出力の開始タイミングは、図 4 に示した書き込み W L ドライバ／シンカー用トリガー回路の出力の開始タイミングよりも遅らすことができる。さらに、上記遅延回路 C として高温では遅延時間が短くなる温度依存性を持たせることにより、図 2 2 のトリガー回路の出力パルス幅の温度依存性が図 4 に示した書き込み W L ドライバ／シンカー用トリガー回路の出力パルス幅の温度依存性とは異なるようになり、高温では図 2 2 のトリガー回路の出力の開始タイミングと図 4 のトリガー回路の出力の開始タイミングとの時間差が小さくなる。これにより、図 5 に示した書き込み B L ドライバ／シンカーによる容易軸方向の磁界印加の開始タイミングを早めることができる。

【 0 1 4 2 】

前記したように遅延回路 C に高温では遅延時間が短くなる温度依存性を持たせるためには、例えば図 7 に示した電流制御型の遅延回路を用い、その電流源 I s o u r c e の温度依存性を高温では遅延時間が短くなるようにすることにより実現可能である。

【 0 1 4 3 】

## &lt;第4の実施形態&gt;

本願出願人の出願に係る特願 2 0 0 2 - 1 4 0 4 9 9 号の磁気ランダムアクセスメモリでは、MTJ素子の磁化方向を反転し易くするために、磁界 $H_x$ 、 $H_y$ の印加タイミングや強さ等に変化を与えるように書き込み電流の印加タイミング、電流値やその時間的变化（波形）に変化を与える手段が提案されている。

## 【0144】

第4の実施形態では、図5に示した書き込みBLドライバ／シンカー用トリガー回路を、例えば特願 2 0 0 2 - 1 4 0 4 9 9 号で提案した書き込み電流の印加タイミングに変化を与える手段に適用する場合について一例を説明する。

## 【0145】

図24は、図5に示した書き込みBLドライバ／シンカー用トリガー回路の変形例2を示す。

## 【0146】

このトリガー回路は、図5に示したトリガー回路と比べて、書き込み信号WRITEを遅延回路Cを経由させてNANDゲート回路ND3の一方の入力および遅延回路Aの入力とした点が異なり、その他は同じであるので図5中と同一符号を付している。

## 【0147】

図25は、図24の書き込みBLドライバ／シンカー用トリガー回路を図4の書き込みWLドライバ／シンカー用トリガー回路と組み合わせて使用した場合の動作波形例を示す。

## 【0148】

図24のトリガー回路によれば、遅延回路Cの挿入により、出力パルス幅が短くなり、その出力の開始タイミングは、図4に示した書き込みWLドライバ／シンカー用トリガー回路の出力の開始タイミングよりも遅らすことができる。

## 【0149】

さらに、上記遅延回路Cとして高温では遅延時間が短くなる温度依存性を持たせることにより、図24のトリガー回路の出力パルス幅の温度依存性が図4のトリガー回路の出力パルス幅の温度依存性とは異なるようになり、高温では図24

のトリガー回路の出力の開始タイミングと図4のトリガー回路の出力の開始タイミングとの時間差が小さくなる。これにより、図3に示した書き込みB Lドライバ／シンカーによる容易軸方向の磁界印加の開始タイミングを早めることができる。

## 【 0 1 5 0 】

## ＜第4の実施形態の変形例＞

次に、M T J素子の困難軸方向の磁界印加開始と容易軸方向の磁界印加開始の間のインターバルと、M T J素子の困難軸方向の磁界印加終了と容易軸方向の磁界印加終了の間のインターバルを変える場合について一例を以下に説明する。

## 【 0 1 5 1 】

図26は、図5に示した書き込みB Lドライバ／シンカー用トリガー回路の変形例3を示す。

## 【 0 1 5 2 】

図27は、図26の書き込みB Lドライバ／シンカー用トリガー回路を図4の書き込みW Lドライバ／シンカー用トリガー回路と組み合わせて使用した場合の動作波形例を示す。

## 【 0 1 5 3 】

図26のトリガー回路は、図5に示したトリガー回路と比べて、書き込み信号W R I T Eを遅延回路Cを経由させてN A N Dゲート回路N D 3の一方の入力とした点が異なり、その他は同じであるので図5中と同一符号を付している。

## 【 0 1 5 4 】

図26のトリガー回路の出力パルス幅の温度依存性は、遅延回路Cの温度依存性に依存し、図4の書き込みW Lドライバ／シンカー用トリガー回路の出力パルス幅の温度依存性とは異なるものとなる。そして、図26のトリガー回路の遅延回路Cの温度依存性は、図3に示した書き込みB Lドライバ／シンカーによる書き込みB L電流のパルス幅に影響を与えるので、この遅延回路Cの温度依存性を変えることにより、遅延回路Cの困難軸方向の磁界印加開始と容易軸方向の磁界印加開始の間のインターバルと、困難軸方向の磁界印加終了と容易軸方向の磁界印加終了の間のインターバルを変えることができる。

【 0 1 5 5 】

## ＜第 5 の実施形態＞

MTJ 素子の固定層の漏れ磁界や、トンネルバリア側固定層表面とトンネルバリア側記憶層表面の凹凸などにより、MTJ 素子のアステロイド曲線が容易軸側にシフトする場合がある。

【 0 1 5 6 】

図 2 1 は、MTJ 素子の歪みのあるアステロイド曲線の一例を示す。

【 0 1 5 7 】

図 2 1 において、書き込み BL に第 1 の方向に書き込み電流を与えた場合の容易軸方向の磁界と書き込みワード線に一定方向の書き込み電流を与えた場合の困難軸方向の磁界との合成磁界は、アステロイド曲線の外側に出ている。しかし、書き込み BL に第 1 の方向とは逆方向に同じ書き込み電流を与えた場合の容易軸方向の磁界と書き込みワード線に一定方向の書き込み電流を与えた場合の困難軸方向の磁界との合成磁界は、アステロイド曲線の外側に出ていない。この場合には、書き込みデータに応じて（つまり、書き込み電流の方向に応じて）必要な書き込み電流を変えないと書き込みができない。

【 0 1 5 8 】

第 5 の実施形態では、書き込み電流のパルス幅が短くなると必要な書き込み電流が増大する関係に着目し、容易軸側磁界発生のための書き込み電流の方向に応じて書き込み BL 電流のパルス幅を変えることで対応し、かつ、前述した第 1 の実施形態と同様にパルス幅に温度依存性を持たせる例を説明する。

【 0 1 5 9 】

図 2 8 は、第 5 の実施形態で用いられる 2 組の書き込み BL ドライバ／シンカーを示す。

【 0 1 6 0 】

この 2 組の書き込み BL ドライバ／シンカーは、図 3 を参照して前述した書き込み BL ドライバ／シンカーと比べて、書き込み電流の第 1 の方向に関する制御信号 WBLDRD1, WBLSYK1 と書き込み電流の第 2 の方向に関する制御信号 WBLDRD2, WBLSYK2 を用いている点が異なり、その他は同じで

ある。

#### 【0161】

図29は、図28の書き込みBLドライバ／シンカー用のトリガー回路の一例を示す。

#### 【0162】

図30は、図29に示した書き込みBLドライバ／シンカー用トリガー回路を図4の書き込みWLドライバ／シンカー用トリガー回路と組み合わせて使用した場合の波形図を示す。

#### 【0163】

図29のトリガー回路は、第1の方向に関する制御信号WBLDRD1，WBLSYK1を生成するための第1のトリガー回路261と第2の方向に関する制御信号WBLDRD2，WBLSYK2を生成するための第2のトリガー回路262からなる。この2組のトリガー回路261，262は、それぞれ図5を参照して前述したトリガー回路と比べて、それぞれ対応する遅延回路B1，B2の遅延時間を異ならせている点が異なり、その他は同じである。

#### 【0164】

具体的には、書き込み電流を増大させる必要がある一方のトリガー回路（例えば261）に挿入されている遅延回路B1の遅延時間を、他方のトリガー回路（例えば262）に挿入されている遅延回路B2の遅延時間よりも延ばす。これによって、一方のトリガー回路261の出力パルス幅を他方のトリガー回路262の出力パルス幅よりも伸ばすことが可能になり、一方の方向の書き込み電流印加時間を他方の方向の書き込み電流印加時間よりも大きくすることが可能になる。

#### 【0165】

##### <第5の実施形態の変形例>

第5の実施形態を、前述した第1の実施形態乃至第4の実施形態のいずれかとを組み合わせるようにしてもよい。

#### 【0166】

##### <第6の実施形態>

第6の実施形態では、特願2002-140499号で提案した書き込みワ-

ド／ビット線に対する書き込み電流の供給／遮断タイミングをプログラミングにより設定できる機能を持つMRAMに適用し、書き込み電流のパルス幅やその温度依存性を調整可能にした一例を説明する。

【0167】

図31は、第6の実施形態に係るMRAMの全体構成を示す。

【0168】

このMRAMは、前述した第1の実施形態に係るMRAMと比べて、(1) 設定回路23が追加されている点、(2) 書き込み電流波形制御回路24の機能が異なり、その他は同じであるので図1中と同一符号を付している。

【0169】

設定回路23は、プログラミング素子（例えば、レーザ溶断型ヒューズ、MTJ素子、あるいはMTJ素子のトンネルバリアを破壊するアンチヒューズなど）を使用し、設定データを予めプログラムすることができる。あるいは、MRAMのテストモードにおいて、例えばデータ入出力端子やアドレス端子から入力される設定データを書き込み電流波形制御回路24に供給するようにしてもよい。

【0170】

図32は、図31中の書き込み電流波形制御回路24の一例を示す。

【0171】

この書き込み電流波形制御回路24は、書き込みワード線ドライバ／シンカー・トリガ回路25および書き込みビット線ドライバ／シンカー・トリガ回路26から構成されており、制御回路22からの書き込み信号WRITEおよび設定回路23の設定データに基づいて書き込みワード線ドライブ信号WWLDRV、書き込みワード線シンク信号WWLSNK、書き込みビット線ドライブ信号WBLDRVおよび書き込みビット線シンク信号WBLSNKを生成する。

【0172】

書き込みワード線ドライバ／シンカー・トリガ回路25は、書き込み信号WRITEおよびタイミング制御信号WS<0>～WS<3>、bWS<0>～bWS<3>に基づいて、書き込みワード線ドライブ信号WWLDRVおよび書き込みワード線シンク信号WWLSNKを生成する。

## 【 0 1 7 3 】

書き込みビット線ドライバ／シンカー・トリガ回路 2 6 は、書き込み信号 W R I T E およびタイミング制御信号 B S < 0 > ~ B S < 3 > , b B S < 0 > ~ b B S < 3 > に基づいて、書き込みビット線ドライブ信号 W B L D R V および書き込みビット線シンク信号 W B L S N K を生成する。書き込み信号 W R I T E は、書き込み動作時に “ H ” となる信号である。

## 【 0 1 7 4 】

書き込みワード線 W W L i に対する書き込み電流の供給／遮断のタイミング、即ち、書き込みワード線ドライブ信号 W W L D R V および書き込みワード線シンク信号 W W L S N K を “ H ” 又は “ L ” にするタイミングは、タイミング制御信号 W S < 0 > ~ W S < 3 > , b W S < 0 > ~ b W S < 3 > により決定される。

## 【 0 1 7 5 】

書き込みビット線 W B L i に対する書き込み電流の供給／遮断のタイミング、即ち、書き込みビット線ドライブ信号 W B L D R V および書き込みビット線シンク信号 W B L S N K を “ H ” 又は “ L ” にするタイミングは、タイミング制御信号 B S < 0 > ~ B S < 3 > , b B S < 0 > ~ b B S < 3 > により決定される。

## 【 0 1 7 6 】

タイミング制御信号 W S < 0 > ~ W S < 3 > , b W S < 0 > ~ b W S < 3 > , B S < 0 > ~ B S < 3 > , b B S < 0 > ~ b B S < 3 > は、設定回路 2 3 により生成される。

## 【 0 1 7 7 】

図 3 3 は、図 3 2 中の書き込みワード線ドライバ／シンカー用のトリガー回路 2 5 の一例を示している。

## 【 0 1 7 8 】

この書き込みワード線ドライバ／シンカー・トリガ回路 2 5 は、書き込み電流の電流供給／遮断タイミングを決定する電流供給／遮断タイミング決定回路 2 5 X と、書き込み電流の電流吸収タイミングを決定する電流吸収タイミング決定回路 2 5 Y とから構成される。

## 【 0 1 7 9 】



電流供給／遮断タイミング決定回路25Xは、書き込み信号WRITEが“H”になった後、書き込みワード線ドライブ信号WWLDRVを“H”にするタイミングを決定し、かつ、書き込み信号WRITEが“L”になった後、書き込みワード線ドライブ信号WWLDRVを“L”にするタイミングを決定する。

## 【0180】

電流供給／遮断タイミング決定回路25Xは、複数（本例では、4つ）の遅延回路DWS<0>～DWS<3>、トランスファゲートTGWS<0>～TGWS<3>およびインバータI1, I2から構成される。

## 【0181】

遅延回路DWS<0>～DWS<3>は、それぞれ、入力信号（書き込み信号WRITE）に対して異なる遅延量を有する。遅延回路DWS<0>～DWS<3>の遅延量は、それぞれ、一定の差で又は規則的に異なってもよいし、また、ランダムに異なってもよい。

## 【0182】

トランスファゲートTGWS<0>～TGWS<3>は、複数の遅延回路DWS<0>～DWS<3>のうちの1つを選択するために、電流供給／遮断タイミング決定回路25X内に設けられる。即ち、書き込み動作時には、タイミング制御信号の複数の相補信号ペアWS<j>, bWS<j>（j=0, 1, 2, 3）のうちの1ペアが選択される。

## 【0183】

選択された相補信号ペアは、WS<j>=“H”、bWS<j>=“L”となり、他の相補信号ペアは、WS<j>=“L”、bWS<j>=“H”となるため、書き込み信号WRITEは、選択された1つの遅延回路DWS<j>のみを経由して、書き込みワード線ドライブ信号WWLDRVとして、書き込みワード線ドライバ／シンカー・トリガ回路25から出力される。

## 【0184】

このように、書き込み信号WRITEが“H”又は“L”になるタイミングを、遅延回路DWS<0>～DWS<3>のうちの1つにより一定期間だけ遅らせることで、書き込みワード線ドライブ信号WWLDRVを“H”又は“L”にす

るタイミング、即ち、書き込み電流の電流供給／遮断タイミングを制御することができる。

#### 【 0 1 8 5 】

なお、本例では、遅延回路  $DWS<0>\sim DWS<3>$  は、4 つであるが、当然に、その数を多くすればするほど、選択できる遅延量の数が多くなり、書き込み電流の電流供給／遮断タイミングを細かく制御できる。但し、この場合、遅延回路を選択するためのタイミング制御信号の数も増える。

#### 【 0 1 8 6 】

電流吸収タイミング決定回路 2 5 Y は、NAND ゲート回路 ND 1 および遅延回路 2 7 から構成される。この電流吸収タイミング決定回路 2 5 Y は、書き込みワード線ドライブ信号 WWL DRV が “H” になるとほぼ同時に、書き込みワード線シンク信号 WWL SNK を “H” にし、書き込みワード線ドライブ信号 WWL DRV が “L” になった後、遅延回路 2 7 により決まる遅延時間後に、書き込みワード線シンク信号 WWL SNK を “L” にする。

#### 【 0 1 8 7 】

このように、書き込みワード線ドライブ信号 WWL DRV を “L” にした後、一定のインターバルを経た後に、書き込みワード線シンク信号 WWL SNK を “L” にすることにより、書き込み動作後に、書き込みワード線 WWL i を完全に 0 V にすることができる。

#### 【 0 1 8 8 】

図 3 4 は、図 3 2 中の書き込みビット線ドライバ／シンカー用のトリガー回路 2 6 の一例を示している。

#### 【 0 1 8 9 】

この書き込みビット線ドライバ／シンカー・トリガ回路 2 6 は、書き込み電流の電流供給／遮断タイミングを決定する電流供給／遮断タイミング決定回路 2 6 X と、書き込み電流の電流吸収タイミングを決定する電流吸収タイミング決定回路 2 6 Y とから構成される。

#### 【 0 1 9 0 】

電流供給／遮断タイミング決定回路 2 6 X は、書き込み信号 WR I T E が “H

” になった後、書き込みビット線ドライブ信号  $WBLDRV$  を “H” にするタイミングを決定し、かつ、書き込み信号  $WRITE$  が “L” になった後、書き込みビット線ドライブ信号  $WBLDRV$  を “L” にするタイミングを決定する。

## 【0191】

電流供給／遮断タイミング決定回路 26X は、複数（本例では、4 つ）の遅延回路  $DBS<0>\sim DBS<3>$ 、トランスファゲート  $TGBS<0>\sim TGBS<3>$  およびインバータ  $I3$ 、 $I4$  から構成される。

## 【0192】

遅延回路  $DBS<0>\sim DBS<3>$  は、それぞれ、入力信号（書き込み信号  $WRITE$ ）に対して異なる遅延量を有する。遅延回路  $DBS<0>\sim DBS<3>$  の遅延量は、それぞれ、一定の差で又は規則的に異なってもよいし、また、ランダムに異なってもよい。

## 【0193】

トランスファゲート  $TGBS<0>\sim TGBS<3>$  は、複数の遅延回路  $DBS<0>\sim DBS<3>$  のうちの 1 つを選択するために、電流供給／遮断タイミング決定回路 26X 内に設けられる。即ち、書き込み動作時には、タイミング制御信号の複数の相補信号ペア  $BS<j>$ 、 $bBS<j>$  ( $j=0, 1, 2, 3$ ) のうちの 1 ペアが選択される。

## 【0194】

選択された相補信号ペアは、 $BS<j>=“H”$ 、 $bBS<j>=“L”$  となり、他の相補信号ペアは、 $BS<j>=“L”$ 、 $bBS<j>=“H”$  となるため、書き込み信号  $WRITE$  は、選択された 1 つの遅延回路  $DBS<j>$  のみを經由して、書き込みビット線ドライブ信号  $WBLDRV$  として、書き込みビット線ドライバ／シンカー・トリガ回路 26 から出力される。

## 【0195】

このように、書き込み信号  $WRITE$  が “H” 又は “L” になるタイミングを、遅延回路  $DBS<0>\sim DBS<3>$  のうちの 1 つにより一定期間だけ遅らせることで、書き込みビット線ドライブ信号  $WBLDRV$  を “H” 又は “L” にするタイミング、即ち、書き込み電流の電流供給／遮断タイミングを制御すること

ができる。

#### 【0196】

なお、本例では、遅延回路DBS<0>～DBS<3>は、4つであるが、当然に、その数を多くすればするほど、選択できる遅延量の数が多くなり、書き込み電流の電流供給／遮断タイミングを細かく制御できる。但し、この場合、遅延回路を選択するためのタイミング制御信号の数も増える。

#### 【0197】

電流吸収タイミング決定回路26Yは、NANDゲート回路ND2および遅延回路28から構成される。この電流吸収タイミング決定回路26Yは、書き込みビット線ドライブ信号WBLDRVが“H”になるとほぼ同時に、書き込みビット線シンク信号WBLSNKを“H”にし、書き込みビット線ドライブ信号WBLDRVが“L”になった後、遅延回路28により決まる遅延時間後に、書き込みビット線シンク信号WBLSNKを“L”にする。

#### 【0198】

このように、書き込みビット線ドライブ信号WBLDRVを“L”にした後、一定のインターバルを経た後に、書き込みビット線シンク信号WBLSNKを“L”にすることにより、書き込み動作後に、書き込みビット線WBLiを完全に0Vにすることができる。

#### 【0199】

次に、図32乃至図34に示されるタイミング制御信号WS<0>～WS<3>、bWS<0>～bWS<3>、BS<0>～BS<3>、bBS<0>～bBS<3>を生成する設定回路23について説明する。

#### 【0200】

図35は、図31中の設定回路23の一例を示している。

#### 【0201】

この設定回路23は、書き込み電流の電流供給／遮断タイミングを決定する設定データがプログラムされるレジスタ<0>～<3>と、レジスタ<0>～<3>の出力信号TD<0>～TD<3>、bTD<0>～bTD<3>をデコードして、タイミング制御信号WS<0>～WS<3>、bWS<0>～bWS<3>

>,  $BS<0>\sim BS<3>$ ,  $bBS<0>\sim bBS<3>$ を出力するデコーダ  $WS<0>\sim WS<3>$ ,  $BS<0>\sim BS<3>$ から構成される。

#### 【0202】

レジスタ<0>, <1>には、書き込みワード線  $WWL_i$  に対する書き込み電流の電流供給／遮断タイミングを決定する設定データがプログラムされる。

#### 【0203】

図33に示したように、書き込みワード線ドライバ／シンカー・トリガ回路25内の遅延回路（電流供給／遮断タイミング） $DWS<0>\sim DWS<3>$ が4つ存在する場合には、これらを選択するために、最低、2ビットの設定データが必要となる。

#### 【0204】

そこで、本例では、書き込みワード線  $WWL_i$  に対する書き込み電流の電流供給／遮断タイミングを決定するために、2つのレジスタ<0>, <1>を用意し、レジスタ<0>, <1>に、それぞれ1ビットの設定データをプログラムする。

#### 【0205】

なお、 $D<0>$ ,  $D<1>$ は、テストモード時に、磁気ランダムアクセスメモリの外部から入力される設定データである。テストモード時には、この設定データに基づいて、書き込みワード線  $WWL_i$  に対する書き込み電流の電流供給／遮断タイミングを決定できる。

#### 【0206】

レジスタ<0>, <1>は、2ビットの相補信号ペア  $TD<0>$ ,  $bTD<0>$ ,  $TD<1>$ ,  $bTD<1>$ を出力する。デコーダ  $WS<0>\sim WS<3>$ は、2ビットの相補信号ペア  $TD<0>$ ,  $bTD<0>$ ,  $TD<1>$ ,  $bTD<1>$ をデコードし、タイミング制御信号  $WS<0>\sim WS<3>$ ,  $bWS<0>\sim bWS<3>$ を出力する。

#### 【0207】

例えば、デコーダ  $WS<j>$ は、それぞれ、2つの入力信号が“H”のとき、出力信号  $WS<j>$ を“H”にし、出力信号  $bWS<j>$ を“L”にする（ $j =$

0, 1, 2, 3)。つまり、本例では、4つのデコーダ $WS<0>\sim WS<3>$ のうちの1つのみに関して、2つの入力信号が“H”となるため、タイミング制御信号の4つの相補信号ペア $WS<j>$ ,  $bWS<j>$ のうちの1ペアが、 $WS<j>=“H”$ 、 $bWS<j>=“L”$ となり、残りの3つの相補信号ペアは、 $WS<j>=“L”$ 、 $bWS<j>=“H”$ となる。

## 【0208】

同様に、レジスタ $<2>$ ,  $<3>$ には、書き込みビット線 $WBL_i$ に対する書き込み電流の電流供給／遮断タイミングを決定する設定データがプログラムされる。

## 【0209】

図34に示したように、書き込みビット線ドライバ／シンカー・トリガ回路26内の遅延回路（電流供給／遮断タイミング） $DBS<0>\sim DBS<3>$ が4つ存在する場合には、これらを選択するために、最低、2ビットの設定データが必要となる。

## 【0210】

そこで、本例では、書き込みビット線 $WBL_i$ に対する書き込み電流の電流供給／遮断タイミングを決定するために、2つのレジスタ $<2>$ ,  $<3>$ を用意し、レジスタ $<2>$ ,  $<3>$ に、それぞれ1ビットの設定データをプログラムする。

## 【0211】

なお、 $D<2>$ ,  $D<3>$ は、テストモード時に、磁気ランダムアクセスメモリの外部から入力される設定データである。テストモード時には、この設定データに基づいて、書き込みビット線 $WBL_i$ に対する書き込み電流の電流供給／遮断タイミングを決定できる。

## 【0212】

レジスタ $<2>$ ,  $<3>$ は、2ビットの相補信号ペア $TD<2>$ ,  $bTD<2>$ ,  $TD<3>$ ,  $bTD<3>$ を出力する。デコーダ $BS<0>\sim BS<3>$ は、2ビットの相補信号ペア $TD<2>$ ,  $bTD<2>$ ,  $TD<3>$ ,  $bTD<3>$ をデコードし、タイミング制御信号 $BS<0>\sim BS<3>$ ,  $bBS<0>\sim$

bBS<3>を出力する。

#### 【0213】

例えば、デコーダBS<j>は、それぞれ、2つの入力信号が“H”のとき、出力信号BS<j>を“H”にし、出力信号bBS<j>を“L”にする（j = 0, 1, 2, 3）。つまり、本例では、4つのデコーダBS<0>～BS<3>のうちの1つのみに関して、2つの入力信号が“H”となるため、タイミング制御信号の4つの相補信号ペアBS<j>, bBS<j>のうちの1ペアが、BS<j>= “H”、bBS<j>= “L”となり、残りの3つの相補信号ペアは、BS<j>= “L”、bBS<j>= “H”となる。

#### 【0214】

図36は、図35中のレジスタ<j>の一例を示している。

#### 【0215】

レジスタ<j>（j = 0, 1, 2, 3）は、プログラムされた設定データを、出力信号TD<j>, bTD<j>として出力するためのプログラムデータ出力回路29と、磁気ランダムアクセスメモリの外部から入力された設定データを、出力信号TD<j>, bTD<j>として出力するための入力データ転送回路30とから構成される。

#### 【0216】

プログラムデータ出力回路29は、設定データを記憶するためのレーザ溶断ヒューズ（laser blow fuse）29aを有している。レーザ溶断ヒューズ29aの切断の有無により、1ビットデータを記憶する。PチャネルMOSトランジスタP1とレーザ溶断ヒューズ29aは、電源端子VDDと接地端子VSSの間に直列接続される。PチャネルMOSトランジスタP1のゲートは、接地端子VSSに接続されるため、PチャネルMOSトランジスタP1は、常に、オン状態となっている。

#### 【0217】

PチャネルMOSトランジスタP1とレーザ溶断ヒューズ29aの接続点は、インバータI9およびトランスファゲートTG4を経由して、インバータI7の入力端に接続される。インバータI7の出力信号は、bTD<j>となり、イン

バータ I 8 の出力信号は、 $TD<j>$ となる。

【0 2 1 8】

入力データ転送回路 3 0 は、トランスファゲート TG 1 ~ TG 3 およびインバータ I 5, I 6 から構成される。インバータ I 5, I 6 とトランスファゲート TG 3 は、ラッチ回路を構成している。

【0 2 1 9】

通常動作モードにおける書き込み動作時には、テスト信号  $VCTEST$  が “L” となり、テスト信号  $bVCTEST$  が “H” となる。このため、トランスファゲート TG 4 はオン状態となり、トランスファゲート TG 2 はオフ状態となる。

【0 2 2 0】

従って、レーザ溶断ヒューズ 2 9 a にプログラムされた設定データが、トランスファゲート TG 4 およびインバータ I 7 ~ I 9 を経由して、出力信号  $TD<j>$ ,  $bTD<j>$  として出力される。

【0 2 2 1】

テストモードにおける書き込み動作時には、テスト信号  $VCTEST$  が “H” となり、テスト信号  $bVCTEST$  が “L” となる。このため、トランスファゲート TG 2 はオン状態となり、トランスファゲート TG 4 はオフ状態となる。

【0 2 2 2】

従って、外部端子（データ入力端子、アドレス端子など）から入力されてトランスファゲート TG 3 およびインバータ I 5, I 6 からなるラッチ回路にラッチされた設定データ  $D<j>$  が、トランスファゲート TG 2 およびインバータ I 7 ~ I 9 を経由して、出力信号  $TD<j>$ ,  $bTD<j>$  として出力される。

【0 2 2 3】

なお、テストモードで使用するデータは、外部端子から入力された設定データ  $D<j>$  が設定用信号  $VCSET$ ,  $bVCSET$  により、トランスファゲート TG 3 およびインバータ I 5, I 6 からなるラッチ回路にラッチされる。つまり、設定用信号  $VCSET$  が “H”、 $bVCSET$  が “L” となることにより、トランスファゲート TG 1 はオン状態となり、トランスファゲート TG 3 はオフ状態となり、外部端子から設定データ  $D<j>$  が入力可能状態になる。その後、V



CSETが“L”、bVCSETが“H”となることにより、トランスファゲートTG1はオフ状態となり、トランスファゲートTG3はオン状態となり、外部端子から入力された設定データD<j>がトランスファゲートTG3およびインバータI5、I6からなるラッチ回路にラッチされる。この後は、ラッチ回路にラッチされた設定データに基づいて、書き込みテストを行うことができる。

## 【0224】

なお、設定データを記憶するための記憶素子としては、レーザ溶断ヒューズ29aの他に、例えば、磁化状態によりデータを記憶するMTJ素子や、トンネルバリアを絶縁破壊するか否かでデータを記憶するMTJ素子などを使用することができる。

## 【0225】

図37は、図35中のレジスタ<j>の他の例を示している。

## 【0226】

本例のレジスタ<j>は、図36のレジスタ<j>と比較すると、プログラムデータ出力回路29の構成に特徴を有する。即ち、図36のレジスタ<j>では、設定データを記憶するための素子として、レーザ溶断ヒューズ29aを使用した。本例のレジスタ<j>では、設定データを記憶するための素子として、MTJ素子を使用する。

## 【0227】

プログラムデータ出力回路29は、設定データを記憶するためのMTJ素子を有している。ここで、MTJ素子には、設定データを、MTJ素子の磁化状態、即ち、固定層の磁化方向と記憶層の磁化方向との関係（平行又は反平行）で記憶することができるが、本例では、設定データを記憶するためのMTJ素子に対しては、固定層の磁化方向と記憶層の磁化方向との関係ではなく、トンネルバリアを絶縁破壊するか否かで設定データをプログラムする方法を用いる。

## 【0228】

なぜなら、設定データの値に関しては、MTJ素子に書き込んだ後に、再び、それを書き換えるということがないからである。MTJ素子の絶縁破壊を利用した設定データのプログラム方法では、半永久的に、設定データを記憶しておくこ

とができる。

【 0 2 2 9 】

MTJ素子の一端は、PチャネルMOSトランジスタP1およびNチャネルMOSトランジスタN1を経由して電源端子VDDに接続され、その他端は、NチャネルMOSトランジスタN2を経由して接地端子VSSに接続される。

【 0 2 3 0 】

PチャネルMOSトランジスタP1のゲートは、接地端子VSSに接続され、NチャネルMOSトランジスタN2のゲートは、電源端子VDDに接続されるため、これらMOSトランジスタP1、N2は、常に、オン状態となっている。

【 0 2 3 1 】

PチャネルMOSトランジスタP1とNチャネルMOSトランジスタN1の接続点は、インバータI9およびトランスファゲートTG4を経由して、インバータI7の入力端に接続される。インバータI7の出力信号は、bTD<j>となり、インバータI8の出力信号は、TD<j>となる。

【 0 2 3 2 】

NチャネルMOSトランジスタN1のゲートには、クランプ電位Vclampが入力される。クランプ電位Vclampを適切な値に設定することにより、設定データの読み出し時に、MTJ素子の電極間に高電圧が印加されるのを防止することができる。

【 0 2 3 3 】

図38は、図37中のクランプ電位Vclampを生成するVclamp生成回路の一例を示す。

【 0 2 3 4 】

本例のVclamp生成回路31では、クランプ電位Vclampは、BGR回路の出力電圧を抵抗分割することにより得ている。クランプ電位Vclampは、0.3～0.5Vとなる。

【 0 2 3 5 】

図37中のNANDゲート回路ND4およびPチャネルMOSトランジスタP2は、MTJ素子の絶縁破壊を利用した設定データのプログラム方法を採用する

場合に必要となる要素である。

#### 【 0 2 3 6 】

設定データのプログラム時には、プログラム信号 PROG が “H” となる。そして、MTJ 素子に設定データ “1” を書き込む場合には、外部端子（データ入力端子、アドレス端子、専用端子など）から、設定データ  $D<j>$  として、“1”（= “H”）を入力する。

#### 【 0 2 3 7 】

この時、NAND ゲート回路 ND 4 の出力信号は、“L” となり、P チャネル MOS トランジスタ P 2 はオン状態となる。従って、MTJ 素子の両端には大きな電圧が印加され、MTJ 素子のトンネルバリアが破壊され、結果として、MTJ 素子に、設定データ “1” がプログラムされる。この場合、 $TD<j>$  は “L”、 $bTD<j>$  は “H” となる。

#### 【 0 2 3 8 】

一方、MTJ 素子に設定データ “0” を書き込む場合には、外部端子（データ入力端子、アドレス端子、専用端子など）から、設定データ  $D<j>$  として、“0”（= “L”）を入力する。

#### 【 0 2 3 9 】

この時、NAND ゲート回路 ND 4 の出力信号は “H” となり、P チャネル MOS トランジスタ P 2 はオフ状態となる。従って、MTJ 素子の両端には大きな電圧が印加されることがないため、MTJ 素子のトンネルバリアが破壊されずに、結果として、MTJ 素子に設定データ “0” がプログラムされる。この場合、 $TD<j>$  は “H”、 $bTD<j>$  は “L” となる。

#### 【 0 2 4 0 】

図 3 9 は、図 3 5 の設定回路 2 3 中のデコーダ  $WS<j>$  あるいは  $BS<j>$  の回路例を示している。

#### 【 0 2 4 1 】

このデコーダは、NAND ゲート回路 ND 3 およびインバータ I 1 0 から構成される。NAND ゲート回路 ND 3 には、2 つの入力信号 A, B が入力され、その出力信号は、インバータ I 1 0 に入力される。インバータ I 1 0 の出力信号 C

は出力信号WS<j>あるいはBS<j>となり、NANDゲート回路ND3の出力信号Dは反転出力信号bWS<j>あるいはbBS<j>となる。

【0242】

デコーダWS<j>およびBS<j>のデコーディング表（入力信号と出力信号との関係）を、表1に示す。

【0243】

【表1】

入力		出力	
A	B	C	D
bTD<0>	bTD<1>	WS<0>	bWS<0>
TD<0>	bTD<1>	WS<1>	bWS<1>
bTD<0>	TD<1>	WS<2>	bWS<2>
TD<0>	TD<1>	WS<3>	BWS<3>
bTD<2>	bTD<3>	BS<0>	bBS<0>
TD<2>	bTD<3>	BS<1>	bBS<1>
bTD<2>	TD<3>	BS<2>	bBS<2>
TD<2>	TD<3>	BS<3>	BBS<3>

【0244】

図33および図34中の各遅延回路DWS<0>~DWS<3>、DBS<0>~DBS<3>の遅延時間の温度依存性を前述した第1の実施形態における遅延回路A、Bと同様に持たせることにより、電流パルスの波形が温度依存性を持たない、あるいは、所望の温度依存性を持つようになる。

【0245】

図40は、図33および図34中の遅延回路DWS<0>~DWS<3>、DBS<0>~DBS<3>として、CMOSインバータからなる遅延回路を用いた場合の温度と出力パルス幅の関係の一例を示す特性図である。

【0246】

図41は、図33および図34中の遅延回路DWS<0>~DWS<3>、D

B S < 0 > ~ D B S < 3 > として、図 8 の電流源により制御される図 7 の電流制御型遅延回路を用いた場合の温度と出力パルス幅の関係の一例を示す特性図である。

【 0 2 4 7 】

図 4 2 は、図 3 3 および図 3 4 中の遅延回路 D W S < 0 > ~ D W S < 3 > , D B S < 0 > ~ D B S < 3 > として、図 1 0 の電流源により制御される図 7 の電流制御型遅延回路を用いた場合の温度と出力パルス幅の関係の一例を示す特性図である。

【 0 2 4 8 】

次に、図 3 3 および図 3 4 中の各遅延回路 D W S < 0 > ~ D W S < 3 > , D B S < 0 > ~ D B S < 3 > として、第 1 の実施形態で説明した遅延回路の遅延時間を倍に設定することが可能な電流制御型の遅延回路の一例について示す。

【 0 2 4 9 】

図 4 3 に示す電流制御型の遅延回路は、図 7 を参照して前述した電流制御型の遅延回路と比べて、信号伝搬回路部を 2 組設けてカスケード接続し、相補的な選択制御信号 O P 1 / b O P 1 によって前段の信号伝搬回路部の出力または後段の信号伝搬回路部の出力を選択的に切り換えて出力するように構成されている。

【 0 2 5 0 】

なお、上記信号 O P 1 / b O P 1 は、前記設定回路のレジスタの出力あるいはそれをデコードした出力が用いられる。

【 0 2 5 1 】

次に、図 7 あるいは図 4 3 に示した電流制御型の遅延回路の電流源 I source として使用可能な電流量と温度依存性を調整可能な電流源回路を説明する。

【 0 2 5 2 】

図 4 4 は、電流量と温度依存性を調整可能な電流源回路の一例を示す。

【 0 2 5 3 】

この電流源回路は、温度に比例して電流が増加する第 1 の電流源 1 2 1 および第 2 の電流源 1 2 2 と、温度に比例して電流が減少する第 3 の電流源 1 2 3 と、上記 3 つの電流源の出力の組み合わせを選択制御信号 O P 2 , b O P 3 によって

切り替え可能な組み合わせ回路 1 2 4 とからなる。

【 0 2 5 4 】

組み合わせ回路 1 2 4 は、信号 OP 2, bOP 3 が対応して “L”、“H” レベルの時は、第 1 の電流源 1 2 1 の電流をコピーした電流 I1のみを出力する。また、信号 OP 2, bOP 3 がそれぞれ “L” レベルの時は、第 1 の電流源 1 2 1 の電流をコピーした電流 I1に第 2 の電流源 1 2 2 の電流をコピーした電流 I2を加えた合成電流 (I1+I2) を出力する。また、信号 OP 2, bOP 3 がそれぞれ “H” レベルの時は、第 1 の電流源 1 2 1 の電流をコピーした電流 I1から第 3 の電流源 1 2 3 の電流をコピーした電流 I3を減じた電流 (I1-I3) を出力する。また、信号 OP 2, bOP 3 が対応して “H”、“L” レベルの時は、第 1 の電流源 1 2 1 の電流をコピーした電流 I1に第 2 の電流源 1 2 2 の電流をコピーした電流 I2を加え、さらに、第 3 の電流源 1 2 3 の電流をコピーした電流 I3を減じた電流 (I1+I2-I3) を出力する。

【 0 2 5 5 】

図 4 5 は、電流量と温度依存性を調整可能な電流源回路の他の例を示す。

【 0 2 5 6 】

この電流源回路は、温度に比例して電流が増加する第 1 の電流源 1 4 1、第 2 の電流源 1 4 2 および第 4 の電流源 1 4 4 と、温度に比例して電流が減少する第 3 の電流源 1 4 3 および第 5 の電流源 1 4 5 と、上記 5 つの電流源の出力の組み合わせを選択制御信号 OP 2, bOP 3, bOP 4, OP 5 によって切り替え可能な組み合わせ回路 1 4 6 とからなる。

【 0 2 5 7 】

組み合わせ回路 1 4 6 は、信号 OP 2, bOP 3, bOP 4, OP 5 が対応して “L”、“H”、“H”、“L” レベルの時は、第 1 の電流源 1 4 1 の電流をコピーした電流 I1のみを出力する。また、信号 OP 2 が “H” レベルの時は、前記電流 I1から第 3 の電流源 1 4 3 の電流をコピーした電流 I3を減じる。また、信号 bOP 3 が “L” レベルの時は、前記電流 I1に第 2 の電流源 1 4 2 の電流をコピーした電流 I2を加える。また、信号 bOP 4 が “L” レベルの時は、前記電流 I1に第 4 の電流源 1 4 4 の電流をコピーした電流 I4を加える。また、信号 OP 5

が“H”レベルの時は、前記電流I1から第5の電流源145の電流をコピーした電流I5を減じる。

【0258】

#### ＜第7の実施形態＞

第7の実施形態では、特願2002-140499号で提案したMRAMに適用し、書き込みワード／ビット線に対する書き込み電流の大きさおよびその時間的变化（電流波形）をプログラミングにより設定する際に書き込み電流のパルス幅やその温度依存性を調整可能にした一例を説明する。

【0259】

図46は、第7の実施形態に係るMRAMの全体構成を示している。

【0260】

このMRAMは、前述した第6の実施形態に係るMRAMと比べて、（1）設定回路23の機能、（2）書き込み電流波形制御回路24の機能が異なり、その他は同じであるので図31中と同一符号を付している。

【0261】

図46中の書き込み電流波形制御回路24は、書き込み信号WRITEを受けると、設定回路23に予めプログラムされた設定データに基づいて、書き込み電流の供給／遮断タイミング、大きさおよびその時間的变化（電流波形）を決定する機能を有する。

【0262】

具体的には、書き込み動作時、ロウデコーダ&ドライバ14に、書き込みワード線ドライブ信号（電流波形生成信号）WP<0>～WP<3>を与え、書き込みワード線シンカー15に、書き込みワード線シンク信号WWLSNKを与え、カラムデコーダ&書き込みビット線ドライバ／シンカー16A、17Aに、書き込みビット線ドライブ信号（電流波形生成信号）BP<0>～BP<7>および書き込みビット線シンク信号WBLSNKを与える。

【0263】

書き込み動作時、例えば、ロウデコーダ&ドライバ14については、書き込みワード線ドライブ信号WP<0>～WP<3>のうちの少なくとも1つが“H”

のときに動作状態となり、同様に、書き込みワード線シンカー 15 およびカラムデコーダ&書き込みビット線ドライバ/シンカー 16A, 17A については、それぞれ、書き込みワード線シンク信号 WWL SNK、書き込みビット線ドライブ信号 BP<0>~BP<7>のうちの少なくとも1つおよび書き込みビット線シンク信号 WBL SNK が“H”のときに動作状態となるようにする。

## 【0264】

このようにすれば、書き込みワード線ドライブ信号 WP<0>~WP<3>、書き込みワード線シンク信号 WWL SNK、書き込みビット線ドライブ信号 BP<0>~BP<7>および書き込みビット線シンク信号 WBL SNK が“H”になるタイミングを、書き込み電流波形制御回路 24 で制御することにより、書き込み電流の供給/遮断タイミング（磁界 H<sub>x</sub>, H<sub>y</sub> の印加タイミング）、大きさおよびその時間的变化（電流波形）を決定することができる。

## 【0265】

書き込み電流の電流吸収タイミングに関しては、例えば、シンク信号 WWL SNK, WBL SNK が“H”から“L”になるタイミングを、ドライブ信号 WP<0>~WP<3>, BP<0>~BP<7>が“H”から“L”になるタイミングよりも遅らせることにより、書き込みワード/ビット線の電位を完全に 0V にする、といったことも可能にできる。

## 【0266】

以下、設定回路 23、書き込み電流波形制御回路 24 とその出力信号を受けるドライバ/シンカー 14, 15、16A, 17A の回路例について説明する。

## 【0267】

図 47 は、図 46 中のロウデコーダ&書き込みワード線ドライバ/シンカー 14、15 の回路例を示している。

## 【0268】

ロウデコーダ&書き込みワード線ドライバ 14 の 1 ロウ分は、AND ゲート回路 AD1、NAND ゲート回路 NDWP0~NDWP3 および P チャネル MOS トランジスタ WP0~WP3 から構成される。P チャネル MOS トランジスタ WP<sub>i</sub> (i=0, 1, 2, 3) のゲートは、NAND ゲート回路 NDWP<sub>i</sub> の出力



端子に接続され、そのソースは、電源端子VDDに接続され、そのドレインは、書き込みワード線WWL $i$  ( $i = 1, \dots$ ) の一端に接続される。

## 【0269】

NANDゲート回路NDWP $i$ の2つの入力端子の一方には、書き込みワード線ドライブ信号（電流波形生成信号）WP $\langle i \rangle$ が入力され、他方には、ANDゲート回路AD1の出力信号が入力される。ANDゲート回路AD1には、複数ビットから構成されるロウアドレス信号（ロウ $i$ 毎に異なる）が入力される。

## 【0270】

書き込みワード線シンカー15の1ロウ分は、NチャネルMOSトランジスタTN1から構成される。NチャネルMOSトランジスタTN1のソースは、接地端子VSSに接続され、そのドレインは、書き込みワード線WWL $i$ の他端に接続される。NチャネルMOSトランジスタTN1のゲートには、書き込みワード線シンク信号WWLSNKが入力される。

## 【0271】

選択されたロウ $i$ では、ロウアドレス信号の全てのビットが“H”となる。このため、選択されたロウ $i$ では、書き込みワード線ドライブ信号WP $\langle 0 \rangle \sim$ WP $\langle 3 \rangle$ のうちの少なくとも1つが“H”となったときに、PチャネルMOSトランジスタWP0 $\sim$ WP3のうちの少なくとも1つがオン状態となる。また、書き込みワード線シンク信号WWLSNKが“H”となると、NチャネルMOSトランジスタTN1がオン状態となる。

## 【0272】

PチャネルMOSトランジスタWP0 $\sim$ WP3のうちの少なくとも1つとNチャネルMOSトランジスタTN1がオン状態となると、書き込み電流は、ロウデコーダ&書き込みワード線ドライバ14から、書き込みワード線WWL $i$ を經由して、書き込みワード線シンカー15に向かって流れる。

## 【0273】

このようなロウデコーダ&書き込みワード線ドライバ/シンカーによれば、書き込みワード線ドライブ信号WP $\langle 0 \rangle \sim$ WP $\langle 3 \rangle$ および書き込みワード線シンク信号WWLSNKが“H”又は“L”になるタイミングを制御することで、

選択されたロウ  $i$  内の書き込みワード線  $WWL_i$  に対する書き込み電流の供給／遮断タイミング、大きさおよびその時間的变化（電流波形）などを決定することができる。

## 【 0 2 7 4 】

また、書き込みワード線ドライブ信号  $WP<0>\sim WP<3>$  の全てを “L” に設定した後、書き込みワード線シンク信号  $WWL_{SNK}$  を “L” に設定すれば、書き込み動作後の書き込みワード線  $WWL_i$  の電位を完全に 0 V にすることができる。

## 【 0 2 7 5 】

なお、書き込み電流の大きさ又はその時間的变化（電流波形）を制御するに当たっては、第一に、複数の P チャンネル MOS トランジスタ  $WP_0\sim WP_3$  のサイズ（チャンネル幅）、即ち、駆動能力を、全て同じ値に設定し、書き込みワード線ドライブ信号  $WP<0>\sim WP<3>$  を用いて、オン状態の P チャンネル MOS トランジスタ  $WP_0\sim WP_3$  の数を変える、という制御方法を使用できる。

## 【 0 2 7 6 】

第二に、複数の P チャンネル MOS トランジスタ  $WP_0\sim WP_3$  のサイズ（チャンネル幅）、即ち、駆動能力を、互いに異なる値に設定し、書き込みワード線ドライブ信号  $WP<0>\sim WP<3>$  を用いて、複数の P チャンネル MOS トランジスタ  $WP_0\sim WP_3$  のうちの 1 つを選択的にオン状態にする、という制御方法を使用できる。

## 【 0 2 7 7 】

第三に、これら第一および第二の方法を組み合わせた制御方法、即ち、P チャンネル MOS トランジスタ  $WP_0\sim WP_3$  のサイズを変え、かつ、オン状態の P チャンネル MOS トランジスタ  $WP_0\sim WP_3$  の数を変えて、書き込み電流の大きさの時間的变化（電流波形）を制御する、という制御方法を使用できる。

## 【 0 2 7 8 】

図 4 8 は、図 4 6 中のカラムデコーダ&書き込みビット線ドライバ／シンカー 1 6 A、1 7 A の回路例を示している。

## 【 0 2 7 9 】

カラムデコーダ&書き込みビット線ドライバ/シンカー 1 6 A の 1 カラム分は、NANDゲート回路NDBP 0 ~ NDBP 3、ANDゲート回路AD 2、AD 3、PチャネルMOSトランジスタBP 0 ~ BP 3およびNチャネルMOSトランジスタBN 0 から構成される。

## 【 0 2 8 0 】

PチャネルMOSトランジスタBP  $i$  ( $i = 0, 1, 2, 3$ ) のゲートは、NANDゲート回路NDBP  $i$  の出力端子に接続され、そのソースは、電源端子VDDに接続され、そのドレインは、共通に、書き込みビット線WBL  $i$  ( $i = 1, \dots$ ) の一端に接続される。

## 【 0 2 8 1 】

NANDゲート回路NDBP  $i$  ( $i = 0, 1, 2, 3$ ) の 2 つの入力端子の一方には、書き込みワード線ドライブ信号 (電流波形生成信号) BP  $\langle i \rangle$  が入力され、他方には、ANDゲート回路AD 2 の出力信号が入力される。ANDゲート回路AD 2 には、複数ビットから構成されるカラムアドレス信号 (カラム  $i$  毎に異なる) および書き込みデータDATAが入力される。

## 【 0 2 8 2 】

NチャネルMOSトランジスタBN 0 のゲートは、ANDゲート回路AD 3 の出力端子に接続され、そのソースは、接地端子VSSに接続され、そのドレインは、書き込みビット線WBL  $i$  ( $i = 1, \dots$ ) の一端に接続される。ANDゲート回路AD 3 には、複数ビットから構成されるカラムアドレス信号 (カラム  $i$  毎に異なる)、書き込みビット線シンク信号WBL SNKおよび書き込みデータの反転信号b DATAが入力される。

## 【 0 2 8 3 】

同様に、カラムデコーダ&書き込みビット線ドライバ/シンカー 1 7 A の 1 カラム分は、NANDゲート回路NDBP 4 ~ NDBP 7、ANDゲート回路AD 4、AD 5、PチャネルMOSトランジスタBP 4 ~ BP 7およびNチャネルMOSトランジスタBN 1 から構成される。

## 【 0 2 8 4 】

PチャネルMOSトランジスタBP  $i$  ( $i = 4, 5, 6, 7$ ) のゲートは、N

ANDゲート回路NDBP $i$ の出力端子に接続され、そのソースは、電源端子VDDに接続され、そのドレインは、共通に、書き込みビット線WBL $i$  ( $i = 1, \dots$ )の他端に接続される。

## 【0285】

NANDゲート回路NDBP $i$  ( $i = 4, 5, 6, 7$ )の2つの入力端子の一方には、書き込みワード線ドライブ信号(電流波形生成信号)BP $\langle i \rangle$ が入力され、他方には、ANDゲート回路AD4の出力信号が入力される。ANDゲート回路AD4には、複数ビットから構成されるカラムアドレス信号(カラム $i$ 毎に異なる)および書き込みデータの反転信号bDATAが入力される。

## 【0286】

NチャネルMOSトランジスタBN1のゲートは、ANDゲート回路AD5の出力端子に接続され、そのソースは、接地端子VSSに接続され、そのドレインは、書き込みビット線WBL $i$  ( $i = 1, \dots$ )の他端に接続される。ANDゲート回路AD5には、複数ビットから構成されるカラムアドレス信号(カラム $i$ 毎に異なる)、書き込みビット線シンク信号WBLSNKおよび書き込みデータDATAが入力される。

## 【0287】

選択されたカラム $i$ では、カラムアドレス信号の全てのビットが“H”となる。このため、選択されたカラム $i$ では、書き込みビット線ドライブ信号BP $\langle 0 \rangle \sim$ BP $\langle 7 \rangle$ の少なくとも1つおよび書き込みビット線シンク信号WBLSNKが“H”になったとき、書き込みデータDATAの値に応じた向きを有する書き込み電流が、書き込みビット線WBL $i$ に流れる。

## 【0288】

例えば、書き込みデータDATAが“1”(=“H”)のときには、PチャネルMOSトランジスタBP0 $\sim$ BP3の少なくとも1つおよびNチャネルMOSトランジスタBN1がオン状態となるため、カラムデコーダ&書き込みビット線ドライバ/シンカー16Aからカラムデコーダ&書き込みビット線ドライバ/シンカー17Aに向かう書き込み電流が流れる。

## 【0289】

また、書き込みデータ DATA が “0” (= “L”) のときには、Pチャネル MOS トランジスタ BP4 ~ BP7 の少なくとも 1 つおよび Nチャネル MOS トランジスタ BN0 がオン状態となるため、カラムデコーダ&書き込みビット線ドライバ/シンカー 17A からカラムデコーダ&書き込みビット線ドライバ/シンカー 16A に向かう書き込み電流が流れる。

## 【0290】

このようなカラムデコーダ&書き込みビット線ドライバ/シンカーによれば、書き込みビット線ドライブ信号 BP<0> ~ BP<7> の少なくとも 1 つおよび書き込みビット線シンク信号 WBL SNK が “H” 又は “L” になるタイミングを制御することで、選択されたカラム i 内の書き込みビット線 WBL i に対する書き込み電流の供給/遮断タイミング、大きさおよびその時間的变化（電流波形）などを決定することができる。

## 【0291】

また、書き込みビット線ドライブ信号 BP<0> ~ BP<7> の全てを “L” に設定した後、書き込みビット線シンク信号 WBL SNK を “L” に設定すれば、書き込み動作後の書き込みビット線 WBL i の電位を完全に 0 V にすることができる。

## 【0292】

なお、書き込み電流の大きさ又はその時間的变化（電流波形）を制御するに当たっては、第一に、複数の Pチャネル MOS トランジスタ BP0 ~ BP7 のサイズ（チャネル幅）、即ち、駆動能力を、全て同じ値に設定し、書き込みビット線ドライブ信号 BP<0> ~ BP<7> を用いて、オン状態の Pチャネル MOS トランジスタ BP0 ~ BP7 の数を変える、という制御方法を使用できる。

## 【0293】

第二に、複数の Pチャネル MOS トランジスタ BP0 ~ BP7 のサイズ（チャネル幅）、即ち、駆動能力を、互いに異なる値に設定し、書き込みビット線ドライブ信号 BP<0> ~ BP<7> を用いて、複数の Pチャネル MOS トランジスタ BP0 ~ BP7 のうちの 1 つを選択的にオン状態にする、という制御方法を使用できる。

## 【 0 2 9 4 】

第三に、これら第一および第二の方法を組み合わせた制御方法、即ち、PチャネルMOSトランジスタBP0～BP7のサイズを変え、かつ、オン状態のPチャネルMOSトランジスタBP0～BP7の数を変えて、書き込み電流の大きさの時間的变化（電流波形）を制御する、という制御方法を使用できる。

## 【 0 2 9 5 】

次に、書き込みワード線ドライブ信号WP<0>～WP<3>、書き込みワード線シンク信号WWLSNK、書き込みビット線ドライブ信号BP<0>～BP<7>および書き込みビット線シンク信号WBLSNKを生成する書き込み電流波形制御回路の例について説明する。

## 【 0 2 9 6 】

図49は、図46中の書き込み電流波形制御回路24の一例を示している。

## 【 0 2 9 7 】

書き込み電流波形制御回路24は、書き込みワード線ドライバ／シンカー・トリガ回路25および書き込みビット線ドライバ／シンカー・トリガ回路26から構成される。

## 【 0 2 9 8 】

書き込みワード線ドライバ／シンカー・トリガ回路25は、書き込み信号WRITEおよび電流波形制御信号FS<0>～FS<7> FOR Wi (i = 0, 1, 2, 3)に基づいて、書き込みワード線ドライブ信号（電流波形生成信号）WP<0>～WP<3>および書き込みワード線シンク信号WWLSNKを生成する。

## 【 0 2 9 9 】

書き込みビット線ドライバ／シンカー・トリガ回路26は、書き込み信号WRITEおよび電流波形制御信号FS<0>～FS<7> FOR Bj (j = 0, 1, ..., 7)に基づいて、書き込みビット線ドライブ信号（電流波形生成信号）BP<0>～BP<7>および書き込みビット線シンク信号WBLSNKを生成する。

## 【 0 3 0 0 】

ここで、電流波形制御信号  $FS<0>\sim FS<7>$  FOR  $Wi$ ,  $FS<0>\sim FS<7>$  FOR  $Bj$  における “FOR  $Wi$ ” および “FOR  $Bj$ ” は、書き込みワード／ビット線ドライバ／シンカー・トリガ回路 25, 26 内の後述する複数の波形生成回路  $Wi$ ,  $Bj$  ごとに、電流波形制御信号  $FS<0>\sim FS<7>$  の値が設定されることを意味している。

## 【0301】

書き込み信号  $WRITE$  は、書き込み動作時に “H” となる信号である。

## 【0302】

書き込みワード線  $WWLi$  に対する書き込み電流の供給／遮断のタイミング、大きさおよびその時間的变化（電流波形）、即ち、書き込みワード線ドライブ信号  $WP<0>\sim WP<3>$  および書き込みワード線シンク信号  $WWLSNK$  を “H” 又は “L” にするタイミングは、電流波形制御信号  $FS<0>\sim FS<7>$  FOR  $Wi$  により決定される。

## 【0303】

書き込みビット線  $WBLi$  に対する書き込み電流の供給／遮断のタイミング、大きさおよびその時間的变化（電流波形）、即ち、書き込みビット線ドライブ信号  $BP<0>\sim BP<7>$  および書き込みビット線シンク信号  $WBLSNK$  を “H” 又は “L” にするタイミングは、電流波形制御信号  $FS<0>\sim FS<7>$  FOR  $Bj$  により決定される。

## 【0304】

電流波形制御信号  $FS<0>\sim FS<7>$  FOR  $Wi$ ,  $FS<0>\sim FS<7>$  FOR  $Bj$  は、設定回路 23 により生成される。

## 【0305】

図 50 は、図 49 中の書き込みワード線ドライバ／シンカー用のトリガー回路 25 の例を示している。

## 【0306】

この書き込みワード線ドライバ／シンカー・トリガ回路 25 は、書き込み電流の電流供給／遮断タイミング、大きさおよびその時間的变化（電流波形）を決定する電流供給／遮断タイミング決定回路 25X と、書き込み電流の電流吸収タイ

ミングを決定する電流吸収タイミング決定回路 2 5 Y とから構成される。

【 0 3 0 7 】

電流供給／遮断タイミング決定回路 2 5 X は、書き込み信号 W R I T E が “H” 又は “L” になった後、書き込みワード線ドライブ信号 W P < 0 > ~ W P < 3 > を “H” 又は “L” にするタイミングを決定する。電流供給／遮断タイミング決定回路 2 5 X は、複数（本例では、4 つ）の波形生成回路 W 0 ~ W 3 およびインバータ I V 1 ~ I V 8 から構成される。

【 0 3 0 8 】

波形生成回路 W 0 ~ W 3 は、それぞれ、書き込み信号 W R I T E および電流波形制御信号 F S < 0 > ~ F S < 7 > FOR W i に基づいて、書き込みワード線ドライブ信号 W P < 0 > ~ W P < 3 > を生成する。書き込みワード線ドライブ信号 W P < 0 > ~ W P < 3 > は、図 4 7 の書き込みワード線ドライバを駆動するため、書き込みワード線ドライブ信号 W P < 0 > ~ W P < 3 > の波形を合成した合成波形が、書き込みワード線 W W L i に供給される書き込み電流の波形にほぼ等しくなる。

【 0 3 0 9 】

なお、本例では、波形生成回路 W 0 ~ W 3 は、4 つであるが、当然に、その数を多くすればするほど、書き込みワード線 W W L i に流れる書き込み電流の電流波形を細かく制御できる。

【 0 3 1 0 】

電流吸収タイミング決定回路 2 5 Y は、インバータ I V 0、NANDゲート回路 N D 1 および遅延回路 2 7 から構成される。

【 0 3 1 1 】

電流吸収タイミング決定回路 2 5 Y は、書き込み信号 W R I T E が “H” になるとほぼ同時に、書き込みワード線シンク信号 W W L S N K を “H” にし、書き込み信号 W R I T E が “L” になった後、遅延回路 2 7 により決まる遅延時間後に、書き込みワード線シンク信号 W W L S N K を “L” にする。

【 0 3 1 2 】

このように、書き込み信号 W R I T E を “L” にした後、一定のインターバル



を経た後に、書き込みワード線シンク信号WWL SNKを“L”にすることにより、書き込み動作後に、書き込みワード線WWL iを完全に0 Vにすることができる。

## 【0313】

図51は、図49中の書き込みビット線ドライバ/シンカー用のトリガー回路26の例を示している。

## 【0314】

この書き込みビット線ドライバ/シンカー・トリガ回路26は、書き込み電流の電流供給/遮断タイミング、大きさおよびその時間的变化（電流波形）を決定する電流供給/遮断タイミング決定回路26Xと、書き込み電流の電流吸収タイミングを決定する電流吸収タイミング決定回路26Yとから構成される。

## 【0315】

電流供給/遮断タイミング決定回路26Xは、書き込み信号WRITEが“H”又は“L”になった後、書き込みビット線ドライブ信号BP<0>～BP<7>を“H”又は“L”にするタイミングを決定する。

## 【0316】

電流供給/遮断タイミング決定回路26Xは、複数（本例では、8つ）の波形生成回路B0～B7およびインバータIV9～IV24から構成される。

## 【0317】

波形生成回路B0～B7は、それぞれ、書き込み信号WRITEおよび電流波形制御信号FS<0>～FS<7> FOR Biに基づいて、書き込みビット線ドライブ信号BP<0>～BP<7>を生成する。書き込みビット線ドライブ信号BP<0>～BP<7>は、図48の書き込みビット線ドライバを駆動する。

## 【0318】

書き込みデータDATAが“1”（＝“H”）のとき、書き込み電流は、書き込みビット線ドライバ/シンカー16Aから書き込みビット線ドライバ/シンカー17Aに向かって流れ、その電流波形は、書き込みビット線ドライブ信号BP<0>～BP<3>の波形を合成した合成波形にほぼ等しくなる。

## 【0319】

書き込みデータ DATA が “0” (= “L”) のとき、書き込み電流は、書き込みビット線ドライバ／シンカー 1 7 A から書き込みビット線ドライバ／シンカー 1 6 A に向かって流れ、その電流波形は、書き込みビット線ドライブ信号 BP<4>～BP<7>の波形を合成した合成波形にほぼ等しくなる。

## 【0 3 2 0】

なお、本例では、波形生成回路 B 0 ～ B 7 は、8 つであるが、当然に、その数を多くすればするほど、書き込みワード線 WWL<sub>i</sub> に流れる書き込み電流の電流波形を細かく制御できる。

## 【0 3 2 1】

また、本例では、書き込みビット線ドライバ／シンカー 1 6 A を駆動する書き込みビット線ドライブ信号 BP<0>～BP<3>と、書き込みビット線ドライバ／シンカー 1 7 A を駆動する書き込みビット線ドライブ信号 BP<4>～BP<7>が異なるが、後述するように、書き込みビット線ドライバ／シンカー 1 6 A, 1 7 A を、書き込みビット線ドライブ信号 BP<0>～BP<3>により共通に駆動してもよい。

## 【0 3 2 2】

電流吸収タイミング決定回路 2 6 Y は、インバータ I V 0、NAND ゲート回路 ND 2 および遅延回路 2 8 から構成される。

## 【0 3 2 3】

電流吸収タイミング決定回路 2 6 Y は、書き込み信号 WRITE が “H” になるとほぼ同時に、書き込みビット線シンク信号 WBL SNK を “H” にし、書き込み信号 WRITE が “L” になった後、遅延回路 2 7 により決まる遅延時間後に、書き込みビット線シンク信号 WBL SNK を “L” にする。

## 【0 3 2 4】

このように、書き込み信号 WRITE を “L” にした後、一定のインターバルを経た後に、書き込みビット線シンク信号 WBL SNK を “L” にすることにより、書き込み動作後に、書き込みビット線 WBL<sub>i</sub> を完全に 0 V にすることができる。

## 【0 3 2 5】

次に、図 5 0 および図 5 1 の書き込みワード／ビット線ドライバ／シンカー・トリガ回路 2 5, 2 6 内の波形生成回路  $W_i$  ( $i = 0, 1, 2, 3$ ),  $B_j$  ( $j = 0, 1, \dots, 7$ ) の例について説明する。

## 【 0 3 2 6 】

図 5 2 は、図 5 0 および図 5 1 中の波形生成回路の一例を示している。

## 【 0 3 2 7 】

波形生成回路  $W_0 \sim W_3$ ,  $B_0 \sim B_7$  は、書き込みワード／ビット線ドライブ信号  $WP<0> \sim WP<3>$ ,  $BP<0> \sim BP<7>$  の立ち上がり時点 (“L” から “H” になるタイミング) を決定する立ち上がりタイミング決定回路 3 2 と、書き込みワード／ビット線ドライブ信号  $WP<0> \sim WP<3>$ ,  $BP<0> \sim BP<7>$  の立ち下がり時点 (“H” から “L” になるタイミング) を決定する立ち下がりタイミング決定回路 3 3 とを有している。

## 【 0 3 2 8 】

また、波形生成回路  $W_0 \sim W_3$ ,  $B_0 \sim B_7$  は、書き込みワード／ビット線ドライブ信号  $WP<0> \sim WP<3>$ ,  $BP<0> \sim BP<7>$  のレベル (“L” 又は “H”) を保持するフリップフロップ回路  $FF_1$  と、フリップフロップ回路  $FF_1$  の出力信号を、書き込みワード／ビット線ドライブ信号  $WP<0> \sim WP<3>$ ,  $BP<0> \sim BP<7>$  として出力するインバータ回路  $I_{13}$  とを有している。

## 【 0 3 2 9 】

立ち上がりタイミング決定回路 3 2 は、直列接続された遅延回路  $D_0$ ,  $D_1$ ,  $D_2$ 、NAND ゲート回路  $ND<0> \sim ND<3>$ ,  $ND_6$ ,  $ND_8$ 、インバータ  $I_{11}$  および遅延回路  $D_7$  から構成される。立ち下がりタイミング決定回路 3 3 は、直列接続された遅延回路  $D_3$ ,  $D_4$ ,  $D_5$ ,  $D_6$ 、NAND ゲート回路  $ND<4> \sim ND<7>$ ,  $ND_7$ ,  $ND_9$ 、インバータ  $I_{12}$  および遅延回路  $D_8$  から構成される。

## 【 0 3 3 0 】

フリップフロップ回路  $FF_1$  は、2 つの NAND ゲート回路  $ND_{10}$ ,  $ND_{11}$  から構成される。

## 【 0 3 3 1 】

遅延回路 D 0 ～ D 8 は、同一の構成を有していても、又は、互いに異なる構成を有していてもよい。また、遅延回路 D 0 ～ D 8 の遅延量に関しても、同一であっても、又は、互いに異なってもよい。但し、遅延回路 D 0 ～ D 6 に関しては、互いに同一の構成を有し、かつ、同一の遅延量を有していれば、書き込み電流の波形制御が容易になる。

## 【 0 3 3 2 】

遅延回路 D 3 の遅延量が遅延回路 D 0 ～ D 2 の遅延量の合計よりも大きくしておくことにより、電流波形制御信号 F S < 0 > ～ F S < 3 > のうちの 1 つが “H” になることにより、書き込みワード／ビット線ドライブ信号 W P < 0 > ～ W P < 3 > , B P < 0 > ～ B P < 7 > の立ち上がり時点が決まり、電流波形制御信号 F S < 4 > ～ F S < 7 > のうちの 1 つが “H” になることにより、書き込みワード／ビット線ドライブ信号 W P < 0 > ～ W P < 3 > , B P < 0 > ～ B P < 7 > の立ち下がり時点が決まる。

## 【 0 3 3 3 】

遅延回路 D 0 ～ D 7 の遅延量が全て同じ場合には、表 2 に示すような関係で、電流波形制御信号 F S < 0 > ～ F S < 3 > のうちの 1 つ、および、電流波形制御信号 F S < 4 > ～ F S < 7 > のうちの 1 つが “H” になる。

## 【 0 3 3 4 】

【表 2】

	FS<4>	FS<5>	FS<6>	FS<7>
FS<0>	H	H	H	H
FS<1>		H	H	H
FS<2>			H	H
FS<3>				H

## 【 0 3 3 5 】

そして、電流波形制御信号 F S < 0 > ～ F S < 3 > のうちの 1 つが “H” にな

ることにより、書き込みワード／ビット線ドライブ信号 $WP<0>\sim WP<3>$ ， $BP<0>\sim BP<7>$ の立ち上がり時点が決まり、電流波形制御信号 $FS<4>\sim FS<7>$ のうちの1つが“H”になることにより、書き込みワード／ビット線ドライブ信号 $WP<0>\sim WP<3>$ ， $BP<0>\sim BP<7>$ の立ち下がり時点が決まる。

## 【0336】

次に、上記波形生成回路の動作について具体的に説明する。

## 【0337】

【表3】

WRITE	a1 a2	b1 b2	c1 c2	d1 d2	出力信号 WP<i>又はBP<j>	
L	L H	L H	H H	H L	L	①初期状態
H	H H	L H	L L	H H	H	②
H	H L	L H	H L	H H	H	
H	H L	H H	H H	L L	L	③
H	H L	H L	H H	H L	L	
L	L H	L H	H H	H L	L	④初期状態

- ②  $FS<0>=“H”$ : 遅延なし  
 $FS<1>=“H”$ : 遅延回路D0遅延  
 $FS<2>=“H”$ : 遅延回路D0,D1遅延  
 $FS<3>=“H”$ : 遅延回路D0～D2遅延
- ③  $FS<4>=“H”$ : 遅延回路D3遅延  
 $FS<5>=“H”$ : 遅延回路D3,D4遅延  
 $FS<6>=“H”$ : 遅延回路D3～D5遅延  
 $FS<7>=“H”$ : 遅延回路D3～D6遅延
- FS<0>～FS<3>の1つのみ“H”
- FS<4>～FS<7>の1つのみ“H”

## 【0338】

まず、初期状態としては、書き込み信号WRITEは、“L”であり、出力信号 $WP< i >$ 又は $BP< j >$ は、“L”となっている。

## 【0339】

この後、書き込み信号WRITEが“H”になると、電流波形制御信号 $FS<0>\sim FS<3>$ によって決定される遅延時間が経過した後、NANDゲート回路ND6の出力ノードa1が“H”になる。なお、この遅延時間が書き込みワード線／ビット線ドライブ信号 $WP< i >$ 又は $BP< j >$ の立ち上がり時点を決定

する。

【0340】

例えば、電流波形制御信号  $FS<0>$  が “H”、電流波形制御信号  $FS<1>$  ～  $FS<3>$  が “L” のときには、書き込み信号  $WRITE$  が “H” になると、NANDゲート回路  $ND6$  の出力ノード  $a1$  が直ちに “H” になる。電流波形制御信号  $FS<1>$  が “H”、電流波形制御信号  $FS<0>$ 、 $FS<2>$ 、 $FS<3>$  が “L” のときには、書き込み信号  $WRITE$  が “H” になると、遅延回路  $D0$  が有する遅延時間が経過した後に、NANDゲート回路  $ND6$  の出力ノード  $a1$  が “H” になる。

【0341】

NANDゲート回路  $ND6$  の出力ノード  $a1$  が “H” になると、フリップフロップ回路  $FF1$  の入力ノード  $c1$  が “H” から “L” に変化するため、フリップフロップ回路  $FF1$  の出力ノード  $c2$  は、“L” となる。従って、波形生成回路  $Wi$  又は  $Bj$  の出力信号  $WP<i>$  又は  $BP<j>$  は、“H” となる。

【0342】

この後、遅延回路  $D7$  が有する遅延時間が経過すると、NANDゲート回路  $ND8$  の入力ノード  $a2$  が “L” になり、フリップフロップ回路  $FF1$  の入力ノード  $c1$  が “H” になるが、波形生成回路  $Wi$  又は  $Bj$  の出力信号  $WP<i>$  又は  $BP<j>$  は、“H” を維持する。

【0343】

次に、書き込み信号  $WRITE$  が “H” になった後、さらに、電流波形制御信号  $FS<4>$  ～  $FS<7>$  によって決定される遅延時間が経過すると、NANDゲート回路  $ND7$  の出力ノード  $b1$  が “H” になる。なお、この遅延時間が書き込みワード線／ビット線ドライブ信号  $WP<i>$  又は  $BP<j>$  の立ち下がり時点を決定する。

【0344】

例えば、電流波形制御信号  $FS<4>$  が “H”、電流波形制御信号  $FS<5>$  ～  $FS<7>$  が “L” のときには、書き込み信号  $WRITE$  が “H” になった後、さらに、遅延回路  $D3$  が有する遅延時間が経過すると、NANDゲート回路  $N$

D 7 の出力ノード b 1 が “H” になる。電流波形制御信号 F S < 5 > が “H”、電流波形制御信号 F S < 4 >、F S < 6 >、F S < 7 > が “L” のときには、書き込み信号 W R I T E が “H” になった後、さらに、遅延回路 D 3、D 4 が有する遅延時間の合計時間が経過すると、N A N D ゲート回路 N D 7 の出力ノード b 1 が “H” になる。

【 0 3 4 5 】

N A N D ゲート回路 N D 7 の出力ノード b 1 が “H” になると、フリップフロップ回路 F F 1 の入力ノード d 1 が “H” から “L” に変化するため、フリップフロップ回路 F F 1 の出力ノード c 2 は、“H” となる。従って、波形生成回路 W i 又は B j の出力信号 W P < i > 又は B P < j > は、“L” となる。

【 0 3 4 6 】

この後、遅延回路 D 8 が有する遅延時間が経過すると、N A N D ゲート回路 N D 9 の入力ノード b 2 が “L” になり、フリップフロップ回路 F F 1 の入力ノード d 1 が “H” になるが、波形生成回路 W i 又は B j の出力信号 W P < i > 又は B P < j > は、“L” を維持する。

【 0 3 4 7 】

最後に、書き込み信号 W R I T E が “H” から “L” に変化すると、N A N D ゲート回路 N D 8、N D 9 の入力ノード a 1、a 2、b 1、b 2 の値が変化し、再び、初期状態に戻る。

【 0 3 4 8 】

図 5 3 は、図 5 2 の波形生成回路を用いて生成した書き込みワード／ビット線ドライブ信号 W P < 0 > ～ W P < 3 >、B P < 0 > ～ B P < 7 > およびそれにより得られる書き込みワード／ビット線電流の一例を示している。

【 0 3 4 9 】

図 5 3 の波形は、電流パルスの波形の立ち上がり部および／または立ち下がり部に大きさの変化が与えられた波形（台形状でない波形）であり、後述する設定回路 2 3 に登録される電流波形制御信号 F S < 0 > ～ F S < 7 > が以下の場合に得られるものである。

【 0 3 5 0 】

波形生成回路WP<0>: FS<0>=“H”, FS<7>=“H”

波形生成回路WP<1>: FS<0>=“H”, FS<6>=“H”

波形生成回路WP<2>: FS<0>=“H”, FS<6>=“H”

波形生成回路WP<3>: FS<0>=“H”, FS<4>=“H”

波形生成回路BP<0>: FS<0>=“H”, FS<7>=“H”

波形生成回路BP<1>: FS<1>=“H”, FS<7>=“H”

波形生成回路BP<2>: FS<1>=“H”, FS<7>=“H”

波形生成回路BP<3>: FS<3>=“H”, FS<7>=“H”

但し、残りのFS<i>は、全て、“L”である。また、書き込みデータDATAは、“1” (= “H”) と仮定しているため、波形生成回路B4～B7の出力信号BP<4>～BP<7>は、書き込みビット線電流に何ら影響を与えない。書き込みデータDATAを“0” (= “L”) と仮定したときには、波形生成回路B0～B3の出力信号BP<0>～BP<3>に代わり、波形生成回路B4～B7の出力信号BP<4>～BP<7>が有効となる。

#### 【0351】

この波形図から分かることは、書き込みワード線電流の供給／遮断タイミング、大きさおよびその時間的变化（電流波形）は、4つの書き込みワード線ドライブ信号WP<0>～WP<3>の“H”および“L”の組み合わせにより決定されるということである。同様に、書き込みビット線電流の供給／遮断タイミング、大きさおよびその時間的变化（電流波形）は、4つの書き込みビット線ドライブ信号BP<0>～BP<3>の“H”および“L”の組み合わせにより決定されるということである。これは、ロウデコーダ&書き込みワード線ドライバ／シンカーが図47に示すような構成を有し、かつ、カラムデコーダ&書き込みビット線ドライバ／シンカーが図48に示すような構成を有していることから明らかである。

#### 【0352】

書き込みワード／ビット線シンク信号WWLSNK, WBLSNKが“H”から“L”になるタイミングは、書き込みワード／ビット線ドライブ信号WP<0>～WP<3>, BP<0>～BP<7>の全てが“L”になるタイミングより



も遅くなるように、図 5 0 の遅延回路 2 7、図 5 1 中の遅延回路 2 8 の遅延量および図 5 2 中の遅延回路 D 0 ~ D 6 の遅延量が調整される。

#### 【 0 3 5 3 】

図 5 4 は、図 5 2 中に示した電流波形制御信号 F S < 0 > ~ F S < 7 > を生成する設定回路（図 4 6 中 2 3）の一例を示す。

#### 【 0 3 5 4 】

この設定回路 2 3 は、書き込み電流の供給／遮断タイミング、大きさおよびその時間的变化（電流波形）を決定する設定データがプログラムされる複数のレジスタ < 0 > ~ < 3 > と、このレジスタ < 0 > ~ < 3 > の相補性の出力信号 T D < 0 > ~ T D < 3 >、b T D < 0 > ~ b T D < 3 > をデコードして、電流波形制御信号 F S < 0 > ~ F S < 7 > を出力する複数のデコーダ F S < 0 > ~ F S < 7 > から構成される。

#### 【 0 3 5 5 】

この設定回路 2 3 は、1 つの波形生成回路に対応して 1 つ設けられる。本例では、書き込みワード線ドライバ／シンカー・トリガ回路内に 4 つの波形生成回路 W 0 ~ W 3 が設けられ、書き込みビット線ドライバ／シンカー・トリガ回路内に 8 つの波形生成回路 B 0 ~ B 7 が設けられるので、これに対応して < 設定回路は 1 2 個存在する。

#### 【 0 3 5 6 】

設定回路 2 3 中のレジスタ < 0 >、< 1 > には、書き込みワード／ビット線ドライブ信号 W P < 0 > ~ W P < 3 >、B P < 0 > ~ B P < 7 > の立ち上がりタイミングを決定する設定データがプログラムされる。書き込みワード／ビット線ドライブ信号 W P < 0 > ~ W P < 3 >、B P < 0 > ~ B P < 7 > の立ち上がりタイミングは、上記一部のレジスタに登録される 2 ビットの設定データにより、4 通り（F S < 0 > ~ F S < 3 > の 1 つが “H”）だけ存在する。

#### 【 0 3 5 7 】

なお、D < 0 >、D < 1 > は、テストモード時に、磁気ランダムアクセスメモリの外部から入力される設定データである。テストモード時には、この設定データに基づいて、書き込みワード／ビット線ドライブ信号 W P < 0 > ~ W P < 3 >

、 $BP<0>\sim BP<7>$ の立ち上がりタイミングを決定できる。

#### 【0358】

設定回路23中のレジスタ $<2>$ 、 $<3>$ には、書き込みワード／ビット線ドライバ信号 $WP<0>\sim WP<3>$ 、 $BP<0>\sim BP<7>$ の立ち下がりタイミングを決定する設定データがプログラムされる。書き込みワード／ビット線ドライバ信号 $WP<0>\sim WP<3>$ 、 $BP<0>\sim BP<7>$ の立ち下がりタイミングは、レジスタ $<2>$ 、 $<3>$ に登録される2ビットの設定データにより、4通り( $FS<4>\sim FS<7>$ の1つが“H”)だけ存在する。

#### 【0359】

なお、 $D<2>$ 、 $D<3>$ は、テストモード時に、MRAMの外部から入力される設定データである。テストモード時には、この設定データに基づいて、書き込みワード／ビット線ドライバ信号 $WP<0>\sim WP<3>$ 、 $BP<0>\sim BP<7>$ の立ち下がりタイミングを決定できる。

#### 【0360】

上記した設定回路23中の各レジスタ $<0>\sim<3>$ は、図36あるいは図37中に示したレジスタに準じて構成され、各デコーダ $FS<0>\sim FS<7>$ は、図39中に示したデコーダに準じて構成される。

#### 【0361】

図55は、図54に示した設定回路中のデコーダ $FS<j>$ の回路例を示している。

#### 【0362】

デコーダ $FS<j>$  ( $j=0, 1, \dots, 7$ ) は、NANDゲート回路ND3およびインバータI10から構成される。

#### 【0363】

NANDゲート回路ND3には、2つの入力信号A、Bが入力され、その出力信号は、インバータI10に入力される。インバータI10の出力信号Cは、 $FS<j>$ となる。

#### 【0364】

デコーダ $FS<j>$ のデコーディング表（入力信号と出力信号との関係）を、

表 4 に示す。

【 0 3 6 5 】

【表 4】

入力		出力
A	B	C
bTD<0>	bTD<1>	FS<0>
TD<0>	bTD<1>	FS<1>
bTD<0>	TD<1>	FS<2>
TD<0>	TD<1>	FS<3>
bTD<2>	bTD<3>	FS<4>
TD<2>	bTD<3>	FS<5>
bTD<2>	TD<3>	FS<6>
TD<2>	TD<3>	FS<7>

【 0 3 6 6 】

上述したように、第 7 の実施形態に係る M R A M によれば、書き込みワード／ビット線に対する書き込み電流の電流供給／遮断タイミング、大きさおよびその時間的变化（電流波形）を、チップ毎又はメモリセルアレイ毎にプログラミングにより設定できる。これにより、M T J 素子の記憶層の磁化反転を確実にを行い、書き込み特性の向上を図るための書き込みを実現することができる。

【 0 3 6 7 】

また、書き込みデータの値に応じて書き込みビット線の電流の向きが変化しますが、書き込みビット線電流の向きに対して、個別に、書き込み電流の電流供給／遮断タイミング、大きさおよびその時間的变化（電流波形）を設定できる。

【 0 3 6 8 】

つまり、書き込みデータが“1”（＝“H”）のときは、書き込みビット線ドライバ信号 B P < 0 > ～ B P < 3 > により、書き込みビット線電流の電流供給／遮断タイミング、大きさおよびその時間的变化（電流波形）が制御され、書き込みデータが“0”（＝“L”）のときは、書き込みビット線ドライバ信号 B P <

4>～BP<7>により、書き込みビット線電流の電流供給／遮断タイミング、大きさおよびその時間的变化（電流波形）が制御される。

【0369】

このように、MTJ素子の特性などを考慮し、書き込みビット線に流れる書き込み電流の向きに応じて、書き込み電流の電流供給／遮断タイミング、大きさおよびその時間的变化（電流波形）を設定できるため、TMR素子の記憶層の磁化反転を確実にを行い、書き込み特性の向上を図ることができる。

【0370】

図52中の遅延回路D0～D6として、前述した第1乃至第6の実施形態で説明したような電流源I<sub>source</sub>により制御される電流制御型の遅延回路を用いることにより、前述した効果と同様の効果が得られる。

【0371】

<第7の実施形態の変形例>

第7の実施形態において、書き込み電流の電流供給／遮断タイミング、大きさおよびその時間的变化（電流波形）に関して、チップ毎又はメモリセルアレイ毎に設定するが、書き込みビット線電流の向きに対しては変わらないように構成を変更することも可能である。

【0372】

変更の具体例としては、図48に示したカラムデコーダ&書き込みビット線ドライバ／シンカーにおいて、カラムデコーダ&書き込みビット線ドライバ／シンカー（1カラム分）17A内のNANDゲート回路NDBP4～NDBP7に入力される書き込みビット線ドライブ信号がBP<0>～BP<3>に変更されている。即ち、カラムデコーダ&書き込みビット線ドライバ／シンカー16A内のNANDゲート回路NDBP0～NDBP3に入力される書き込みビット線ドライブ信号と、カラムデコーダ&書き込みビット線ドライバ／シンカー17A内のNANDゲート回路NDBP4～NDBP7に入力される書き込みビット線ドライブ信号が同じとなっている。

【0373】

その結果、書き込みビット線ドライブ信号の数は、第7の実施形態に比べて半

分になる。つまり、書き込みビット線ドライバ／シンカー・トリガ回路内の波形生成回路の数が減るため、書き込み電流波形制御回路 2 4 の大きさを縮小でき、チップサイズの縮小などに貢献できる。

【 0 3 7 4 】

#### ＜第 8 の実施形態＞

第 8 の実施形態では、MRAM の内部で書き込み電流源を生成し、この電流源の電流により書き込み電流のパルス波高（書き込み電流）を変え、書き込み電流のパルス幅に温度依存性を持たせる場合について説明する。

【 0 3 7 5 】

図 5 6 は、第 8 の実施形態に係る MRAM の一部を示す。

【 0 3 7 6 】

図中、1 2（1 3）はメモリセルアレイ、1 4 は書き込み WL 電流ドライバ、1 4 a は WL セレクタ、1 5 は書き込み WL 電流シンカー、1 6 A および 1 7 A は BL 電流ドライバ／シンカー、1 6 a および 1 7 a は BL セレクタである。I<sub>o</sub> は電流源、1 0 は上記電流源 I<sub>o</sub> の電流を折り返して前記書き込み WL 電流ドライバ 1 4、BL 電流ドライバ／シンカー 1 6 A および 1 7 A のドライバの電流を制御するための電流制御回路である。

【 0 3 7 7 】

図 5 7 は、図 5 6 中の電流源 I<sub>o</sub> に用いられる温度依存性のある電流源回路の一例を示す。

【 0 3 7 8 】

この電流源回路は、図 8 中に示した 8 1 のように温度に比例して電流が減少する第 1 の電流源 5 7 1 と、図 8 中に示した 8 2 のように温度に比例して電流 I<sub>2</sub> が増加する第 2 の電流源 5 7 2 と、これらの 2 つの電流源の電流を選択制御信号 O p t 1 に基づいて組み合わせた電流 I<sub>source</sub> を出力する電流組み合わせ回路 5 7 3 からなる。

【 0 3 7 9 】

上記電流組み合わせ回路 5 7 3 は、第 1 の電流源 5 7 1 の電流をコピーした電流 I<sub>1</sub> に対して、信号 O p t 1 が活性状態（H レベル）の時に第 2 の電流源 5 7 2

の電流をコピーした電流 $I_2$ を加え、信号 $Opt\ 2$ が活性状態（Hレベル）の時に第2の電流源572の電流をコピーした電流 $I_3$ を減らした電流 $I_{source}$ を出力するように構成されている。

【0380】

図58は、図57に示した電流源回路の温度と電流の関係を示す。

【0381】

図59は、図56中の電流源 $I_o$ に用いられる温度依存性のある電流源回路の他の例を示す。

【0382】

この電流源回路は、図8中に示した81のように温度に比例して電流が減少する第1の電流源591と、図8中に示した82のように温度に比例して電流 $I_2$ が増加する第2の電流源592と、これらの2つの電流源の電流を選択制御信号 $Opt\ 1$ 、 $Opt\ 2$ に基づいて組み合わせた電流 $I_{source}$ を出力する電流組み合わせ回路593からなる。

【0383】

上記電流組み合わせ回路593は、第1の電流源591の電流をコピーした電流 $I_1$ に対して、信号 $Opt\ 1$ が活性状態（Hレベル）の時に第2の電流源592の電流をコピーした電流 $I_2$ を加え、信号 $Opt\ 2$ が活性状態（Hレベル）の時に第1の電流源591の電流をコピーした電流 $I_3$ を減らした電流 $I_{source}$ を出力するように構成されている。

【0384】

図60は、図59に示した電流源回路の温度と電流の関係を示す。

【0385】

図57の電流源回路および図59の電流源回路は、高温になると、出力電流 $I_{source}$ が小さくなるような依存性を持つ。

【0386】

なお、本発明に係る書き込みテストモードでの書き込み電流の切り替えを実現する回路方式は、MRAMのセルアレイ構造のタイプに拘らず適用できる。即ち、例えば図63に示したようなクロスポイント型のセルアレイ構造を有するMR

AMは勿論のこと、1つまたはそれ以上のMTJ素子に1つの読み出し選択スイッチを接続したセルアレイ構造を有するMRAMにも、本発明に係る回路方式を適用できる。さらに、読み出し選択スイッチを有しないMRAMや、読み出しビット線と書き込みビットを別々に設けたMRAMや、1つのMTJ素子に複数ビットを記憶させるようにしたMRAMなどにも適用することができる。

【0387】

【発明の効果】

上述したように本発明の磁気ランダムアクセスメモリによれば、書き込み電流値のパルス幅を温度によって調整する機能を持つので、誤書き込みを防止し、高信頼性を実現することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係るMRAMの全体構成の一例を示すブロック図。

【図2】 図1中の書き込みワード線ドライバ／シンカーの回路例1を示す回路図。

【図3】 図1中の書き込みビット線ドライバ／シンカーの回路例1を示す回路図。

【図4】 図2の書き込みワード線ドライバ／シンカー用のトリガー回路の回路例1を示す回路図。

【図5】 図3の書き込みビット線ドライバ／シンカー用のトリガー回路の回路例1を示す回路図。

【図6】 図4および図5に示したトリガー回路の動作例を示す波形図。

【図7】 電流制御型の遅延回路の一例を示す回路図。

【図8】 図7の遅延回路の電流制御入力源の第1例を示す回路図。

【図9】 図8の電流制御入力源の動作例を示す特性図。

【図10】 図7の遅延回路の電流制御入力源の第2例を示す回路図。

【図11】 図10の電流制御入力源の動作例を示す特性図。

【図12】 図7の遅延回路の電流制御入力源の第3例を示す回路図。

【図13】 図12の電流制御入力源の動作例を示す特性図。

【図 1 4】 図 7 の遅延回路の電流制御入力源の第 4 例を示す回路図。

【図 1 5】 図 1 4 の電流制御入力源の動作例を示す特性図。

【図 1 6】 図 4 および図 5 に示したトリガー回路中の遅延回路 A, B として CMOS インバータからなる遅延回路が用いられた場合の温度と出力パルス幅の関係を示す特性図。

【図 1 7】 図 4 および図 5 に示したトリガー回路中の遅延回路 A, B として図 8 の電流制御入力源により制御される図 7 の電流制御型の遅延回路が使用された場合の温度と出力パルス幅の関係を示す特性図。

【図 1 8】 図 4 および図 5 に示したトリガー回路中の遅延回路 A, B として図 1 0 の電流制御入力源により制御される図 7 の電流制御型の遅延回路が使用された場合の温度と出力パルス幅の関係を示す特性図。

【図 1 9】 図 4 および図 5 に示したトリガー回路中の遅延回路 A, B として図 1 2 の電流制御入力源により制御される図 7 の電流制御型の遅延回路が使用された場合の温度と出力パルス幅の関係を示す特性図。

【図 2 0】 図 4 および図 5 に示したトリガー回路中の遅延回路 A, B として図 1 4 の電流制御入力源により制御される図 7 の電流制御型の遅延回路が使用された場合の温度と出力パルス幅の関係を示す特性図。

【図 2 1】 M T J 素子のアステロイド曲線に歪みがある場合の一例を示す特性図。

【図 2 2】 図 5 に示した書き込みビット線ドライバ／シンカー用のトリガー回路の回路例 2 を示す回路図。

【図 2 3】 図 2 2 のトリガー回路と図 4 のトリガー回路の動作例を示す波形図。

【図 2 4】 第 4 の実施形態に係る M R A M で使用される書き込みビット線ドライバ／シンカー用のトリガー回路の一例を示す回路図。

【図 2 5】 図 2 4 のトリガー回路と図 4 のトリガー回路とを組み合わせて使用した場合の動作例を示す波形図。

【図 2 6】 図 2 4 に示した書き込みビット線ドライバ／シンカー用のトリガー回路の変形例を示す回路図。



【図 2 7】 図 2 6 のトリガー回路と図 4 のトリガー回路とを組み合わせ使用した場合の動作例を示す波形図。

【図 2 8】 第 5 の実施形態に係る M R A M で使用される書き込みビット線ドライバ／シンカーの一例を示す回路図。

【図 2 9】 図 2 8 に示した書き込みビット線ドライバ用のトリガー回路の一例を示す回路図。

【図 3 0】 図 2 9 のトリガー回路と図 4 のトリガー回路とを組み合わせ使用した場合の動作例を示す波形図。

【図 3 1】 第 6 の実施形態に係る M R A M の全体構成を示すブロック図。

【図 3 2】 図 3 1 中の書き込み電流波形制御回路の一例を示す回路図。

【図 3 3】 図 3 2 中の書き込みワード線ドライバ／シンカー用トリガー回路の一例を示す回路図。

【図 3 4】 図 3 2 中の書き込みビット線ドライバ／シンカー用トリガー回路の一例を示す回路図。

【図 3 5】 図 3 1 中の設定回路の一例を示す回路図。

【図 3 6】 図 3 5 中のレジスタ< j >の一例を示す回路図。

【図 3 7】 図 3 5 中のレジスタ< j >の他の例を示す回路図。

【図 3 8】 図 3 7 中のクランプ電位 V c l a m p を生成する V c l a m p 生成回路の一例を示す回路図。

【図 3 9】 図 3 5 の設定回路中のデコーダ W S < j >あるいは B S < j >の一例を示す回路図。

【図 4 0】 図 3 3 および図 3 4 中のトリガー回路中の遅延回路 D W S < j >および D B S < j >として C M O S インバータからなる遅延回路が用いられた場合の温度と出力パルス幅の関係を示す特性図。

【図 4 1】 図 3 3 および図 3 4 中のトリガー回路中の電流制御型の遅延回路 D W S < j >および D B S < j >として図 8 の電流制御入力源により制御される図 7 の電流制御型の遅延回路が使用された場合の温度と出力パルス幅の関係を示す特性図。

【図 4 2】 図 3 3 および図 3 4 中のトリガー回路中の電流制御型の遅延回

路  $DWS<j>$  および  $DBS<j>$  として図 10 の電流制御入力源により制御される図 7 の電流制御型の遅延回路が使用された場合の温度と出力パルス幅の関係を示す特性図。

【図 4 3】 図 3 3 および図 3 4 中の各遅延回路  $DWS<0>\sim DWS<3>$ 、 $DBS<0>\sim DBS<3>$  として使用可能な電流制御型の遅延回路の一例を示す回路図。

【図 4 4】 図 7 あるいは図 4 3 に示した電流制御型の遅延回路の電流源  $I_{source}$  として使用可能な電流量と温度依存性を調整可能な電流源回路の一例を示す回路図。

【図 4 5】 図 7 あるいは図 4 3 に示した電流制御型の遅延回路の電流源  $I_{source}$  として使用可能な電流量と温度依存性を調整可能な電流源回路の他の例を示す回路図。

【図 4 6】 第 7 の実施形態に係る MRAM の全体構成を示すブロック図。

【図 4 7】 図 4 6 中のロウデコーダ&書き込みワード線ドライバ/シンカーの一例を示す回路図。

【図 4 8】 図 4 6 中のカラムデコーダ&書き込みビット線ドライバ/シンカーの一例を示す回路図。

【図 4 9】 図 4 6 中の書き込み電流波形制御回路の一例を示す回路図。

【図 5 0】 図 4 9 中の書き込みワード線ドライバ/シンカー・トリガ回路の一例を示す回路図。

【図 5 1】 図 4 9 中の書き込みビット線ドライバ/シンカー・トリガ回路の一例を示す回路図。

【図 5 2】 図 5 0 および図 5 1 中の波形生成回路の一例を示す回路図。

【図 5 3】 図 5 2 の波形生成回路を用いて生成した書き込みワード/ビット線ドライブ信号  $WP<0>\sim WP<3>$ 、 $BP<0>\sim BP<7>$  およびそれにより得られる書き込みワード/ビット線電流の一例を示す波形図。

【図 5 4】 図 5 2 中に示した電流波形制御信号  $FS<0>\sim FS<7>$  を生成する設定回路の一例を示す回路図。

【図 5 5】 図 5 4 に示した設定回路中のデコーダ  $FS<j>$  の一例を示す

回路図。

【図 5 6】 第 8 の実施形態に係る M R A M の一部を示すブロック図。

【図 5 7】 図 5 6 中の電流源 I o に用いられる温度依存性のある電流源回路の一例を示す回路図。

【図 5 8】 図 5 7 に示した電流源回路の温度と電流の関係を示す特性図。

【図 5 9】 図 5 6 中の電流源 I o に用いられる温度依存性のある電流源回路の他の例を示す回路図。

【図 6 0】 図 5 9 に示した電流源回路の温度と電流の関係を示す特性図。

【図 6 1】 M R A M の M T J 素子の構造を概略的に示す断面図。

【図 6 2】 図 6 1 の M T J 素子の 2 つの磁性層のスピンの方きの 2 つの状态を説明するために示す図。

【図 6 3】 M R A M のセルアレイの平面レイアウトの一例を模式的に示す斜視図。

【図 6 4】 M T J 素子の印加磁界の反転による抵抗値の变化特性（T M R 曲线）を示す特性図。

【図 6 5】 M T J 素子の対称なアステロイド曲线を示す特性図。

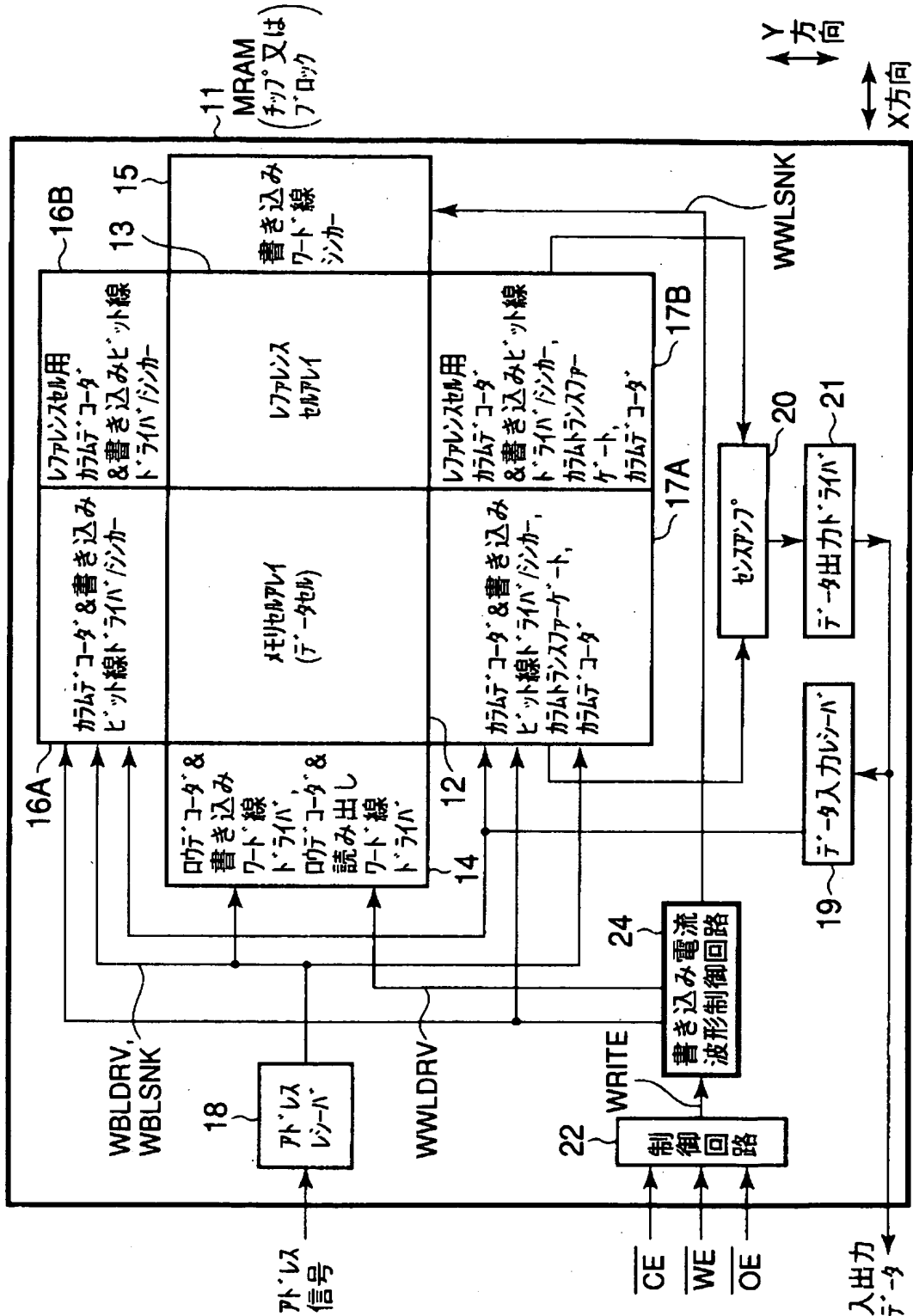
【符号の説明】

1 1 … M R A M、1 2 … メモリセルアレイ、1 3 … レファレンスセルアレイ、1 4 … ロウデコーダ&書き込みワード線ドライバ、1 5 … 書き込みワード線シンカー、1 6 A、1 7 A … カラムデコーダ&書き込みビット線ドライバ/シンカー、1 6 B、1 7 B … レファレンスセル用カラムデコーダ&書き込みビット線ドライバ/シンカー、1 8 … アドレスレシーバ、1 9 … データ入力レシーバ、2 0 … センスアンプ、2 1 … データ出力ドライバ、2 2 … 制御回路、2 3 … 設定回路、2 4 … 書き込み電流波形制御回路。

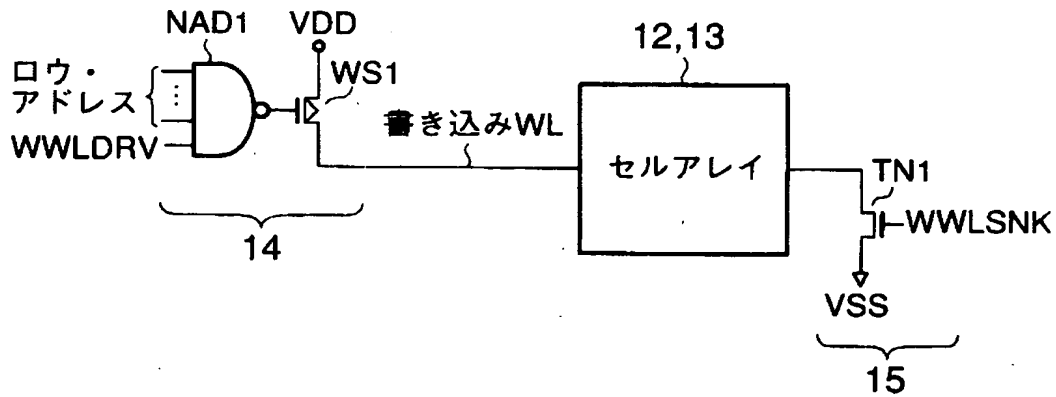
【書類名】

図面

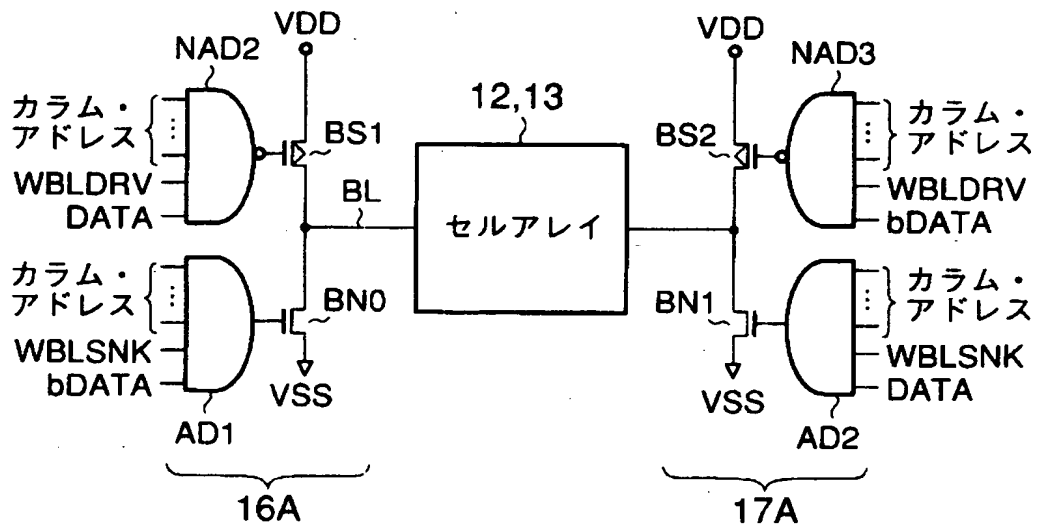
【図 1】



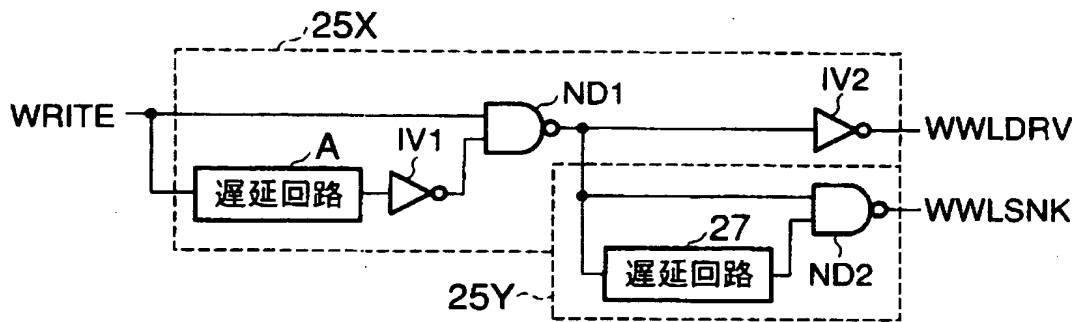
【図 2】



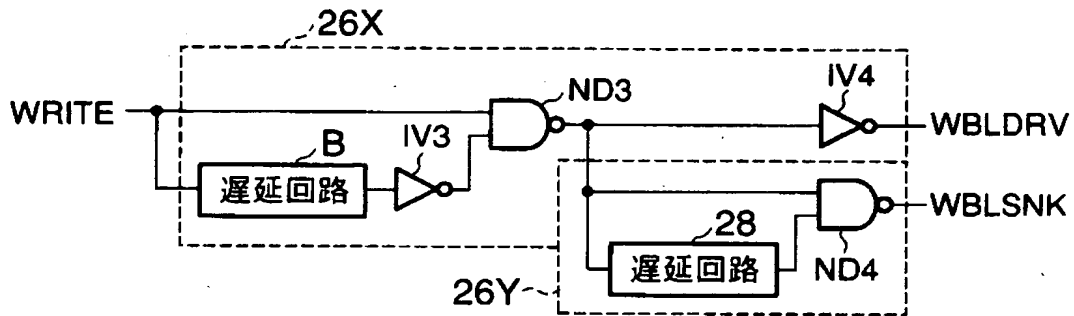
【図 3】



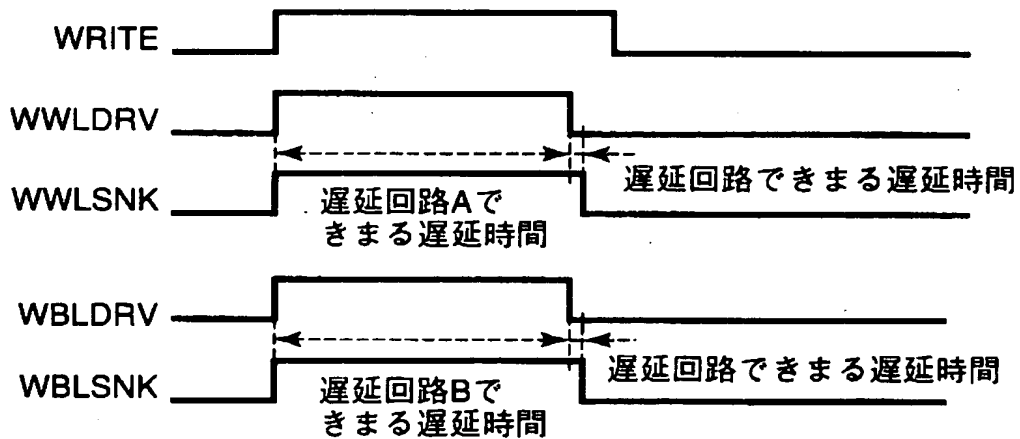
【図 4】



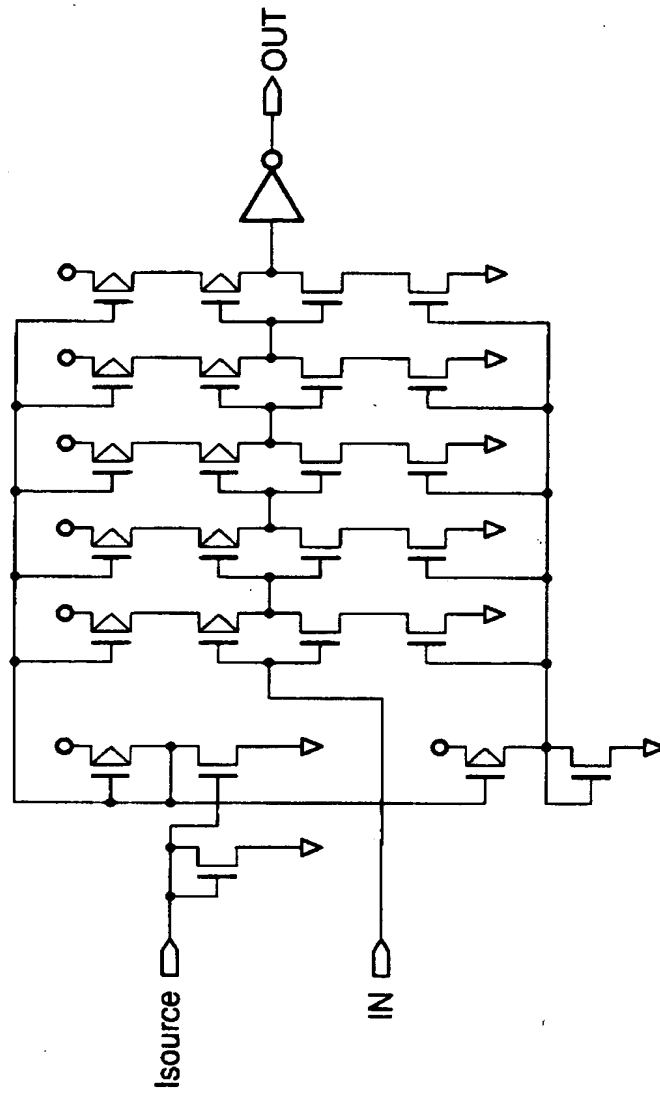
【図 5】



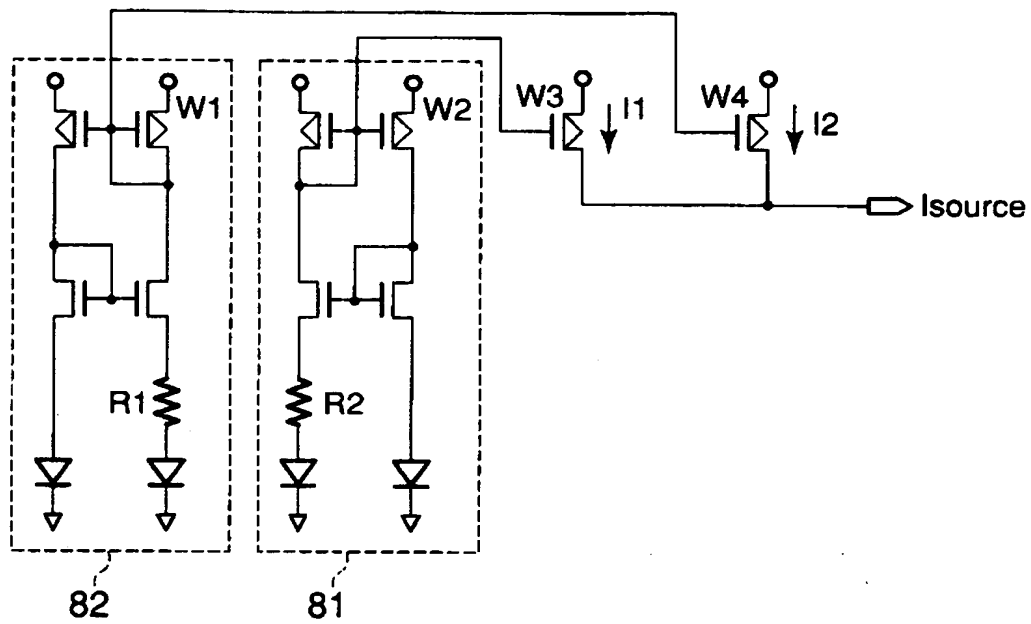
【図 6】



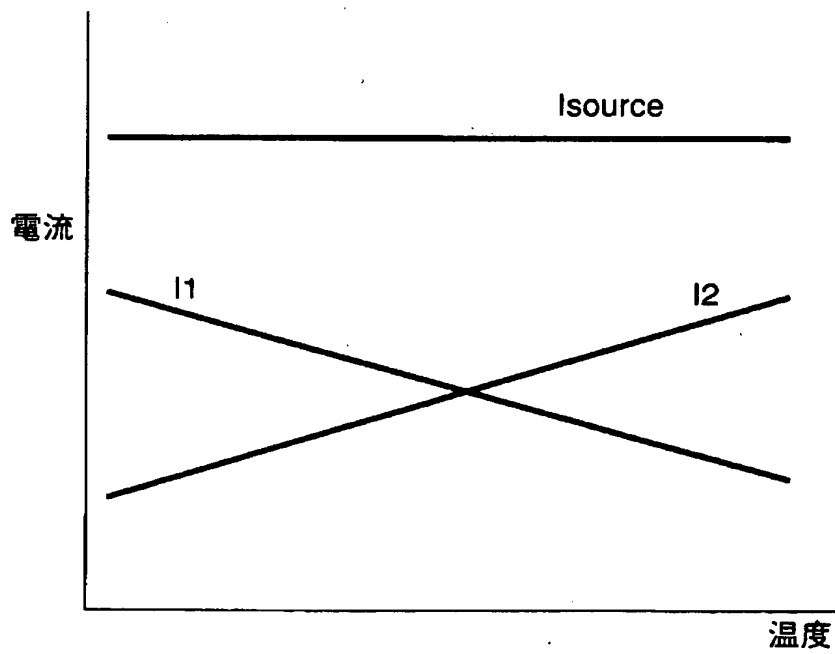
【図 7】



【図 8】

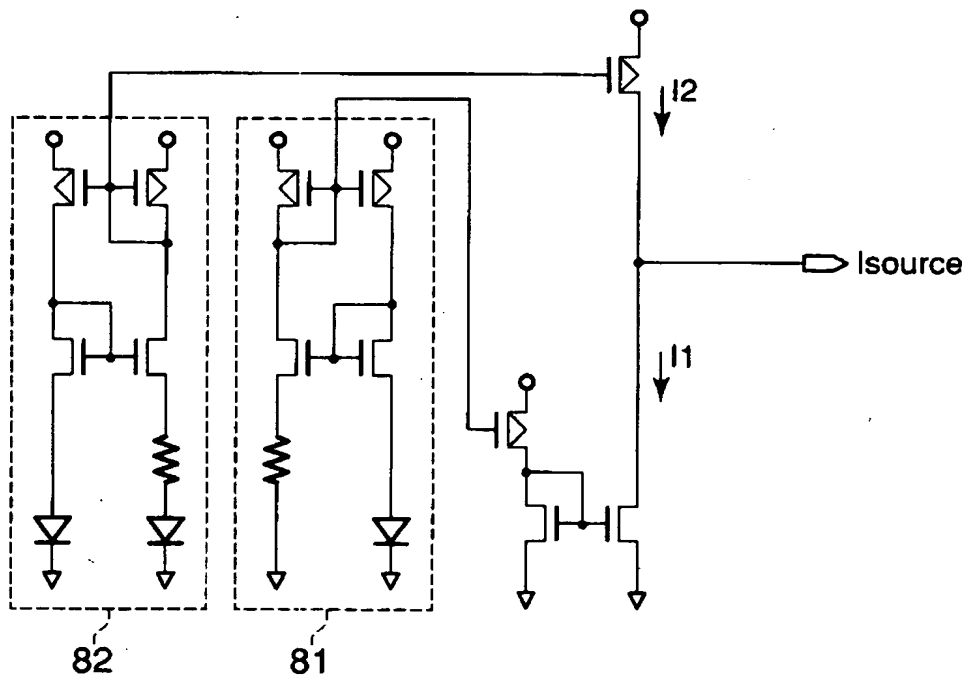


【図 9】

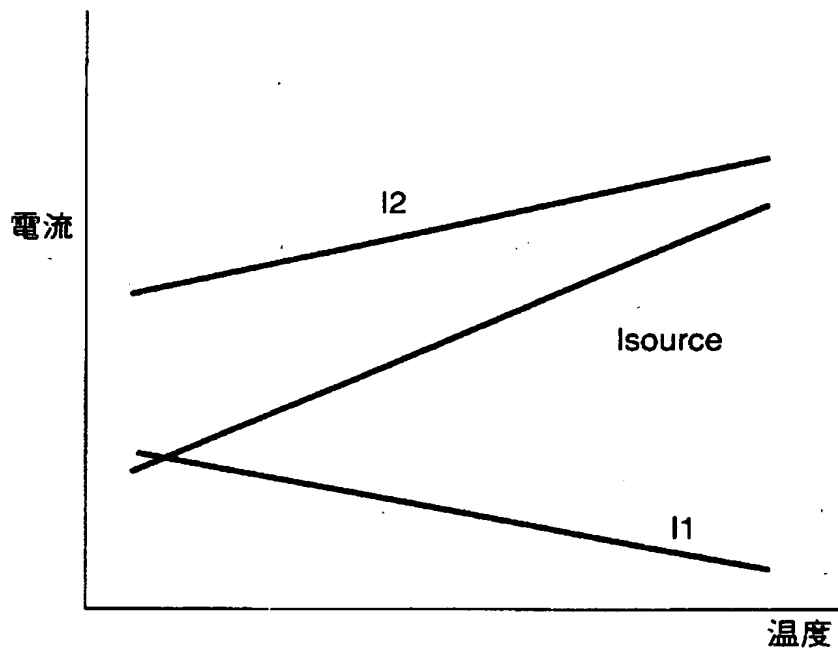




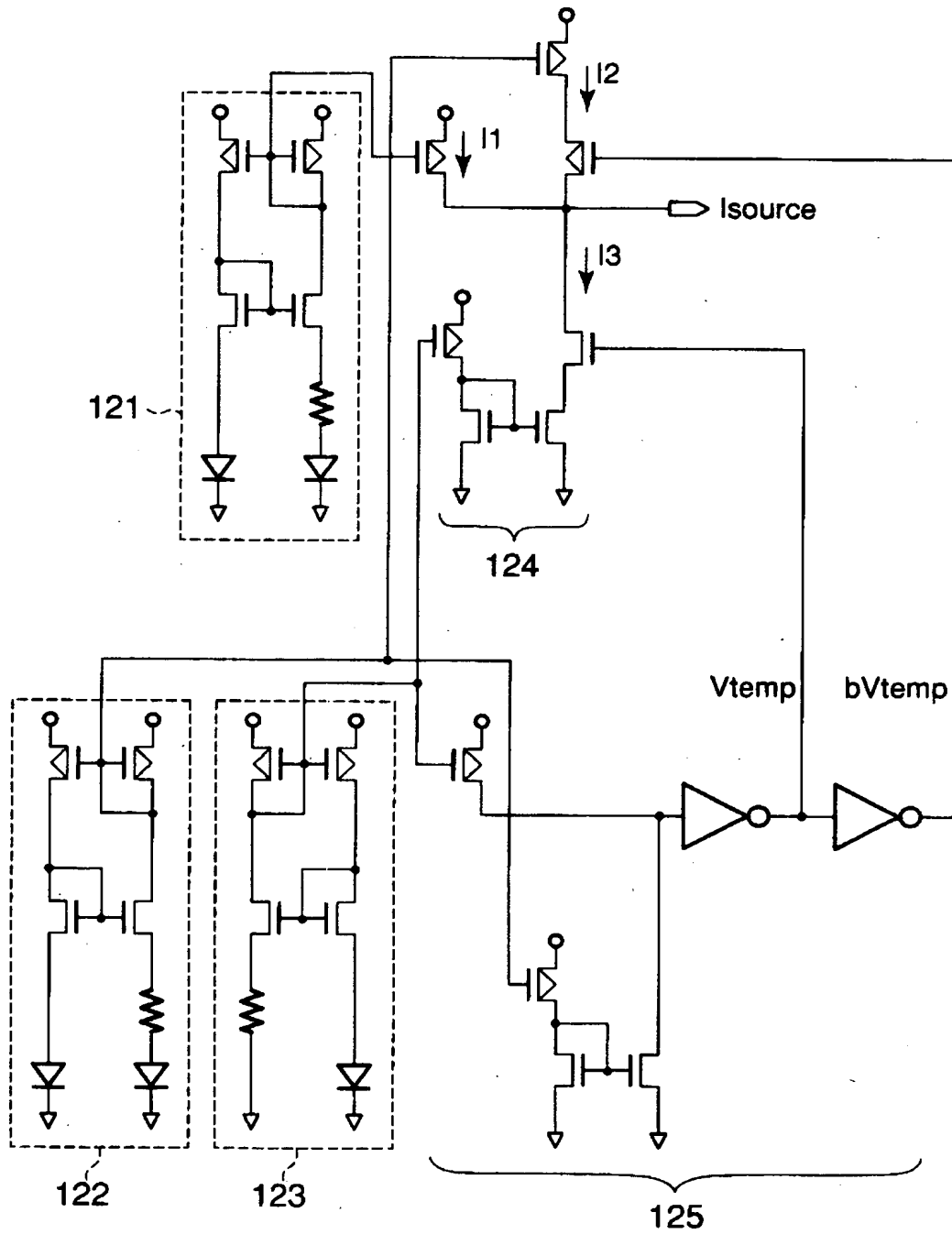
【図 1 0】



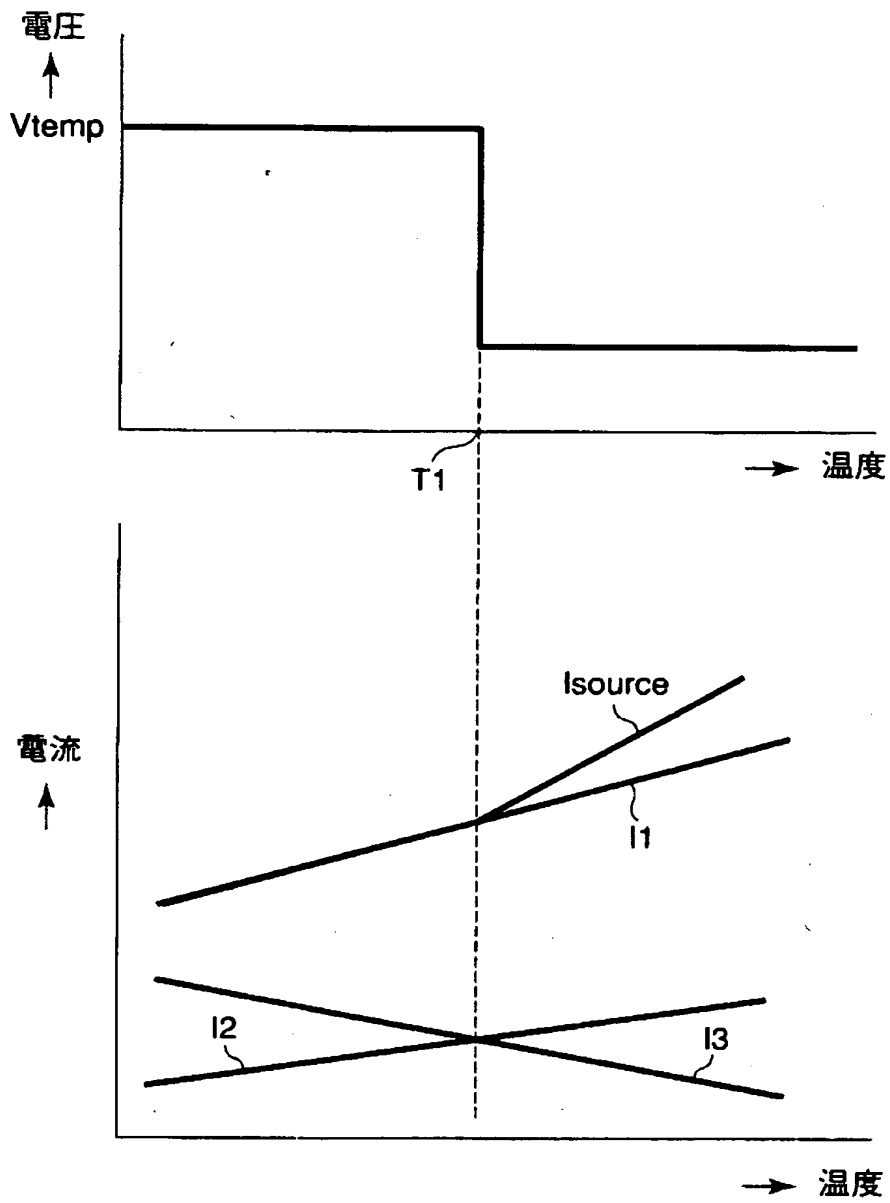
【図 1 1】



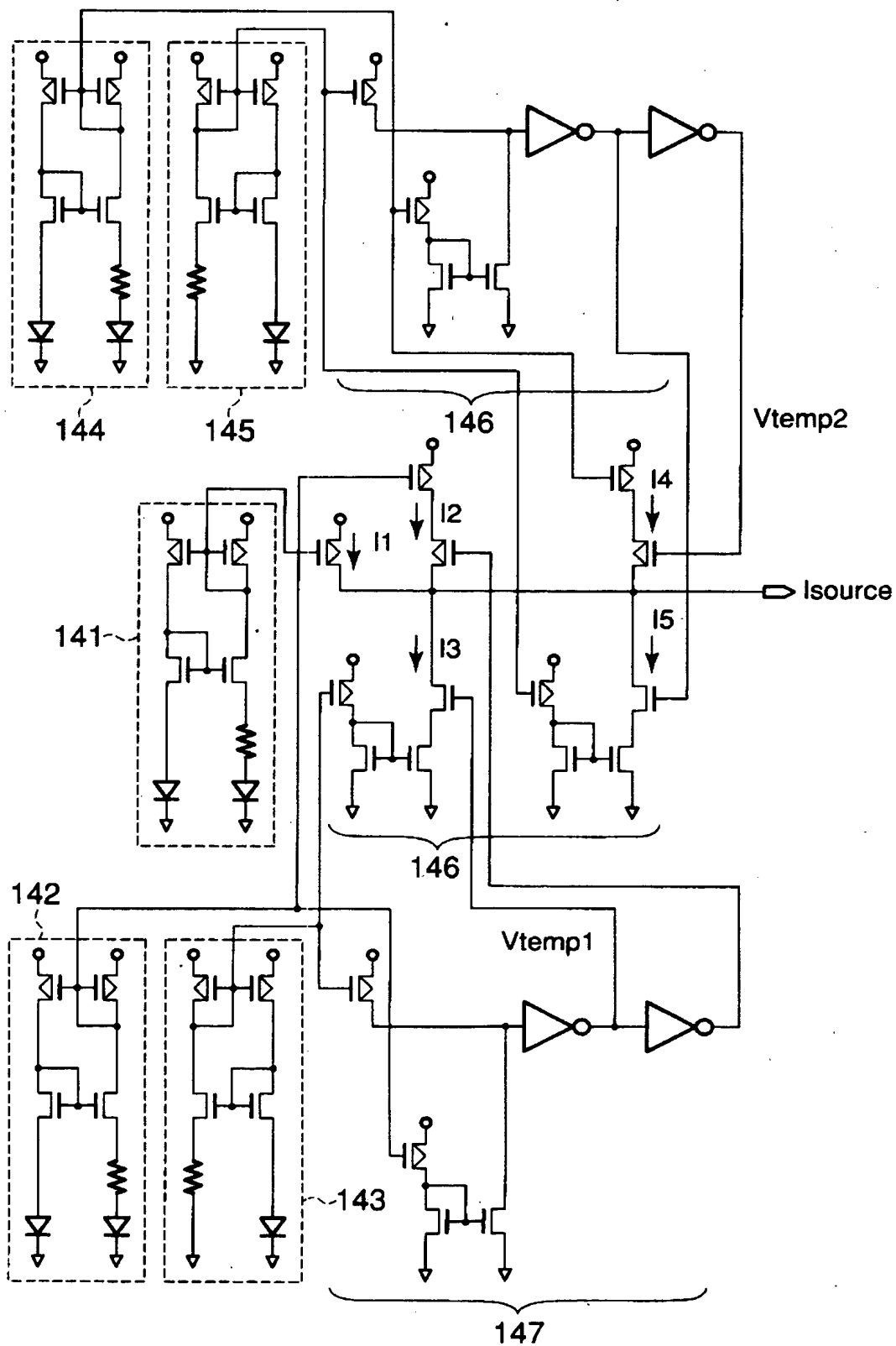
【図 12】



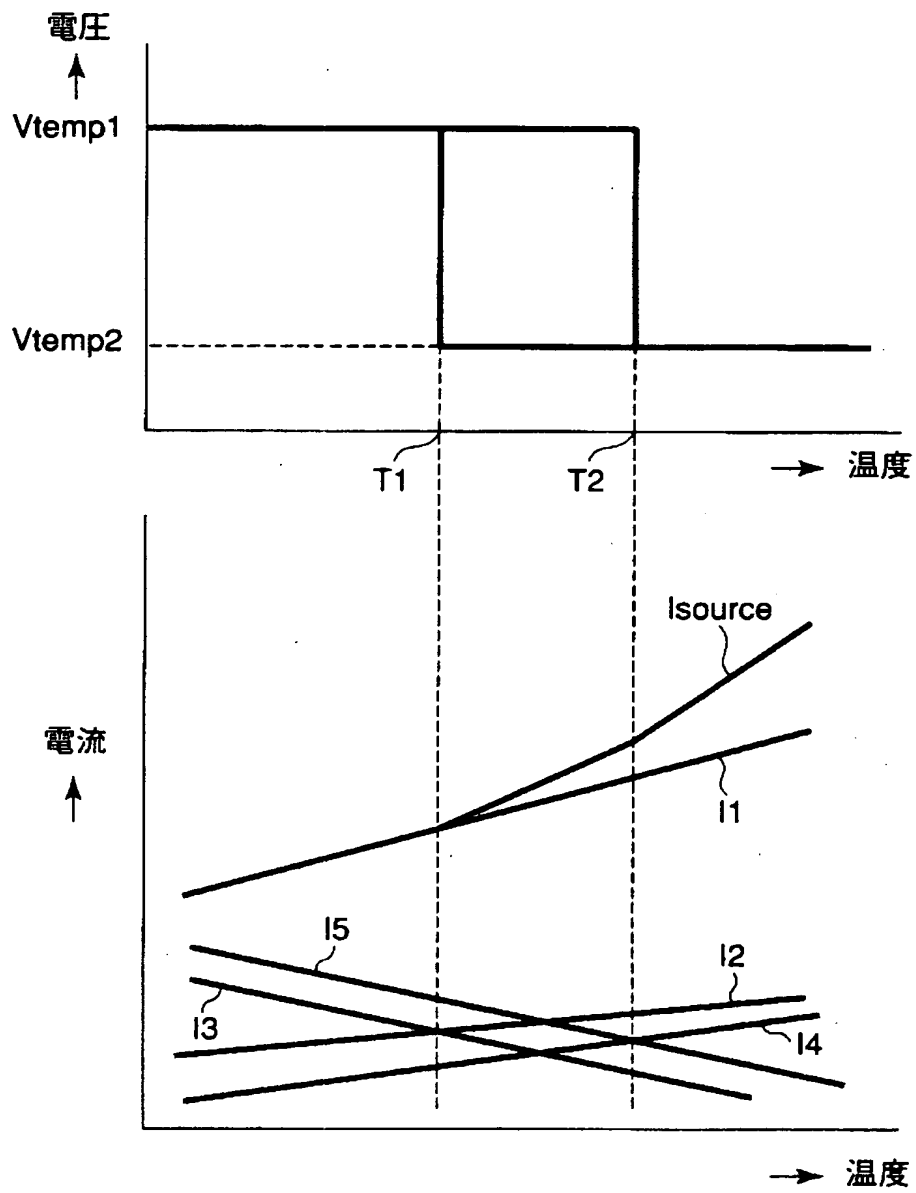
【図 1 3】



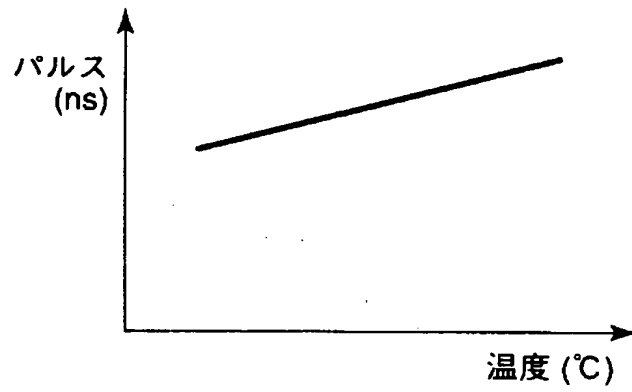
【図 14】



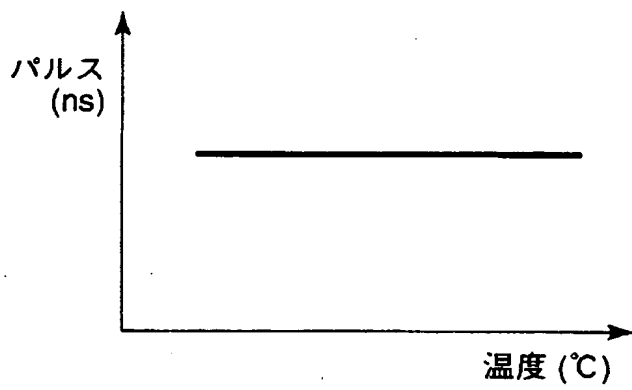
【図 15】



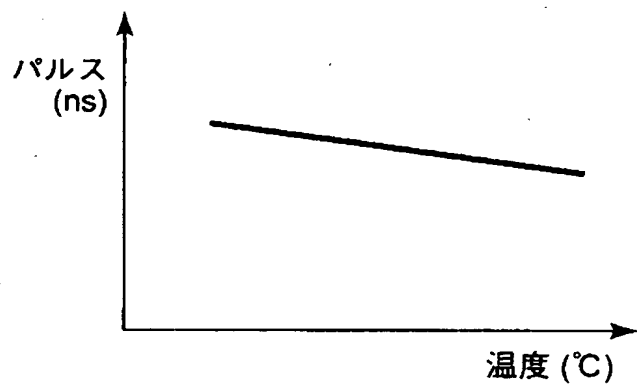
【図 1 6】



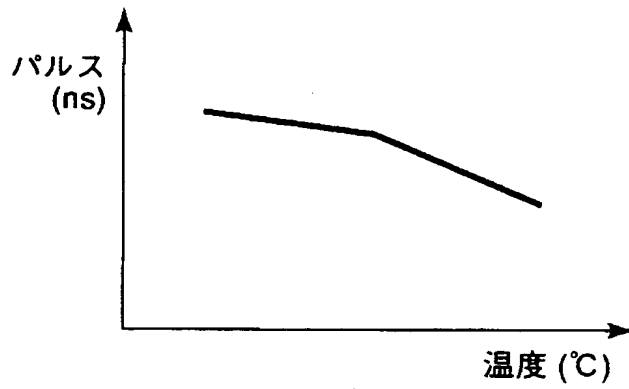
【図 1 7】



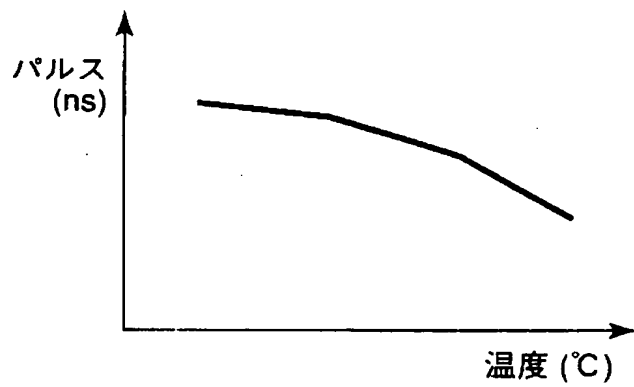
【図 1 8】



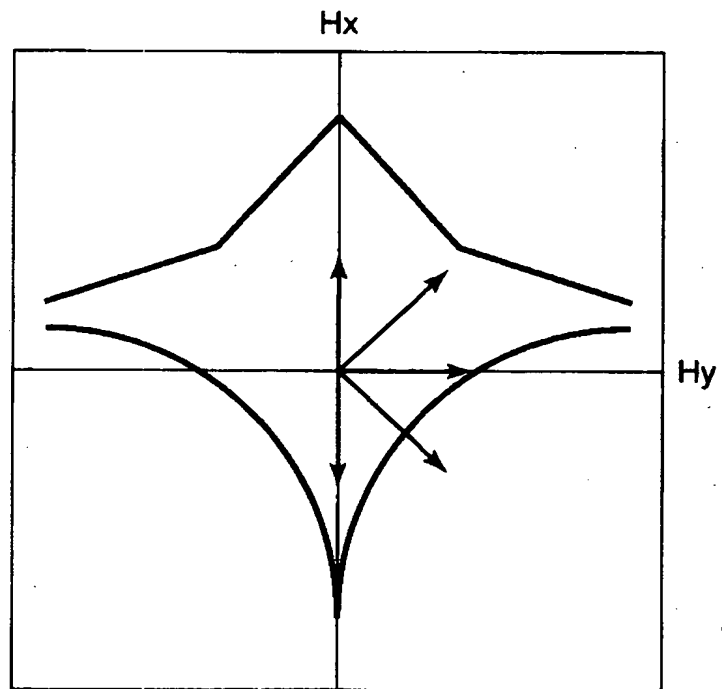
【図 1 9】



【図 2 0】

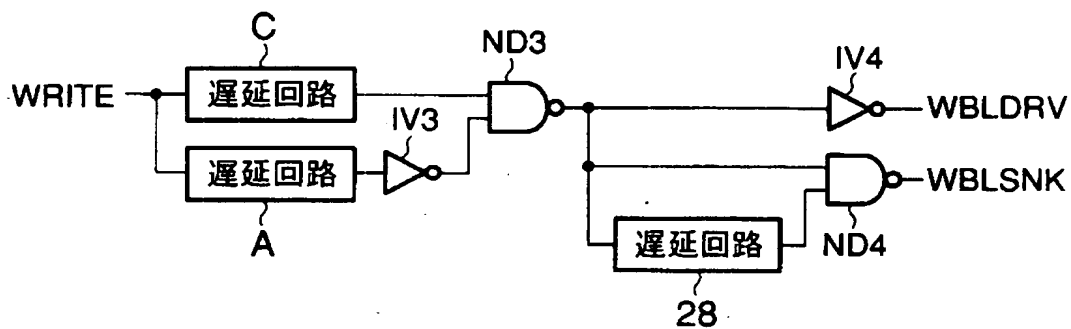


【図 2 1】

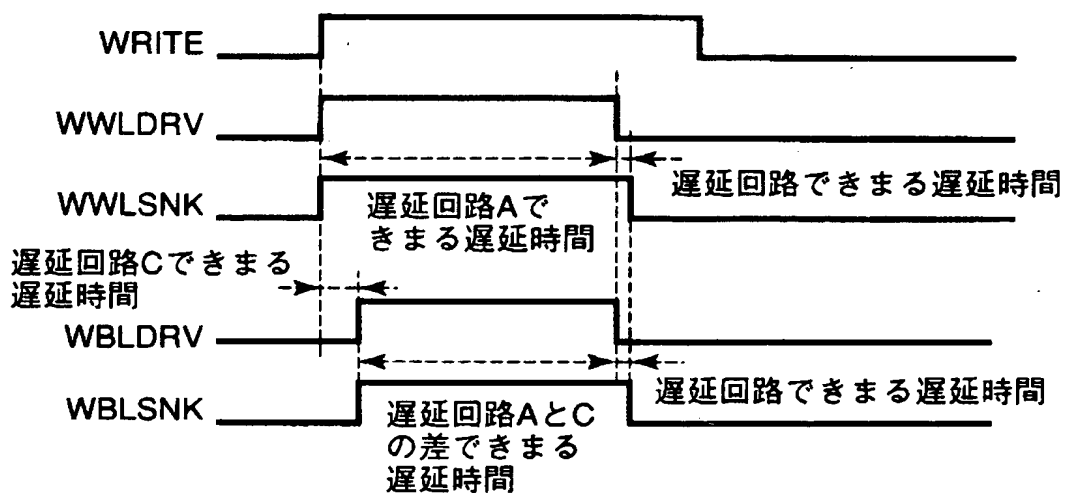




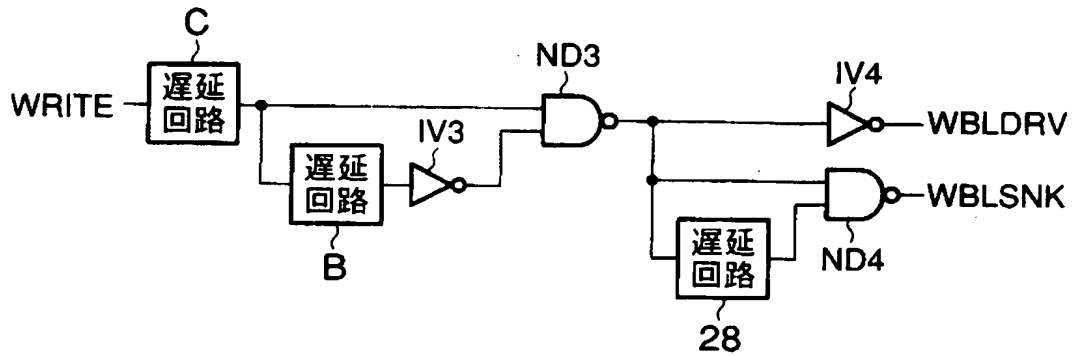
【図 2 2】



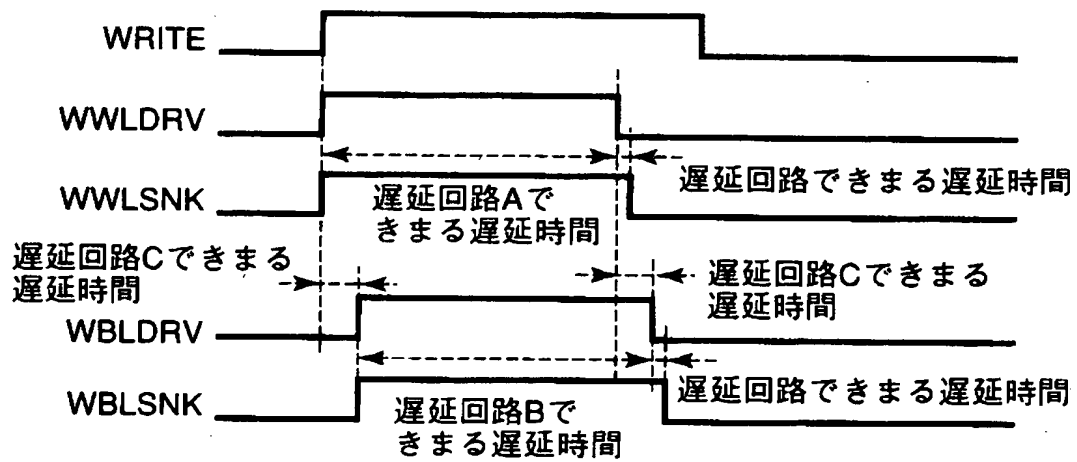
【図 2 3】



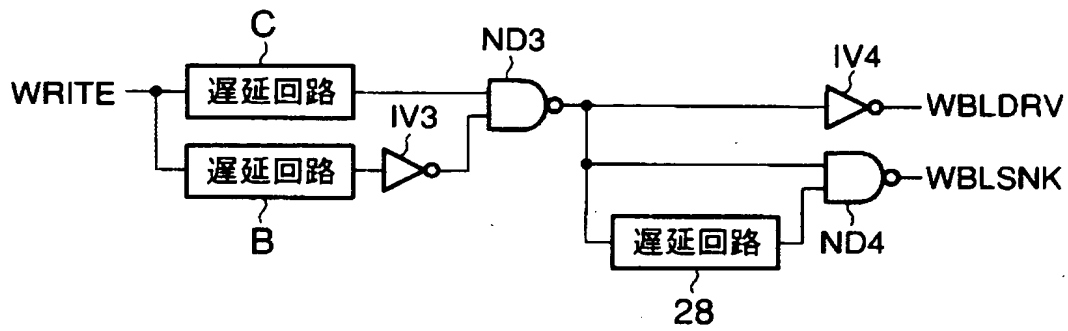
【図 2 4】



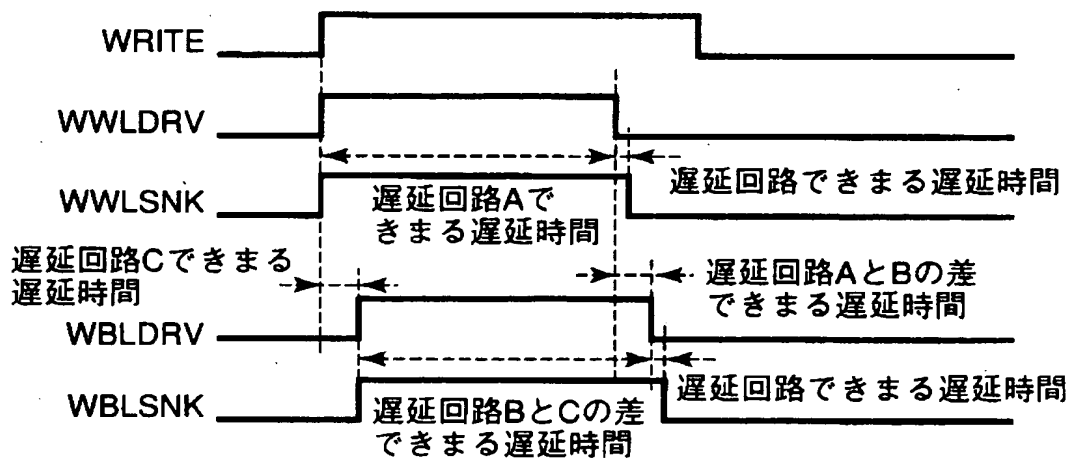
【図 2 5】



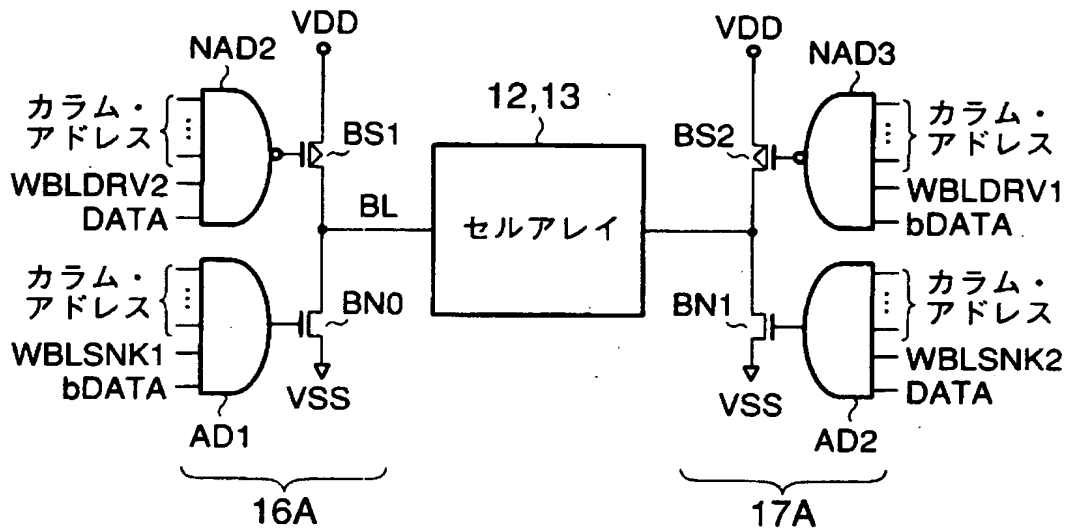
【図 2 6】



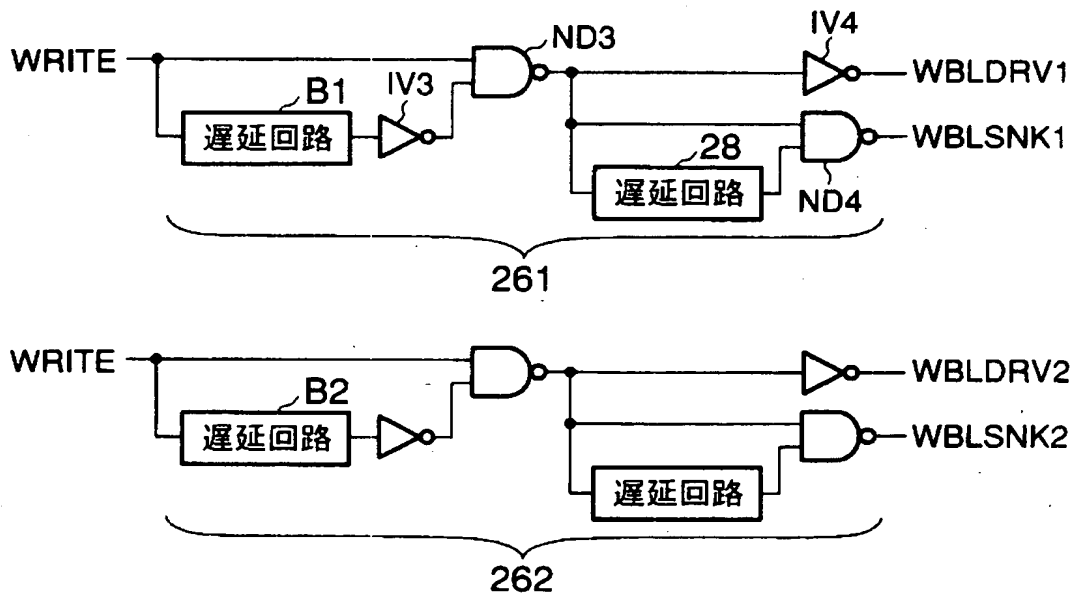
【図 2 7】



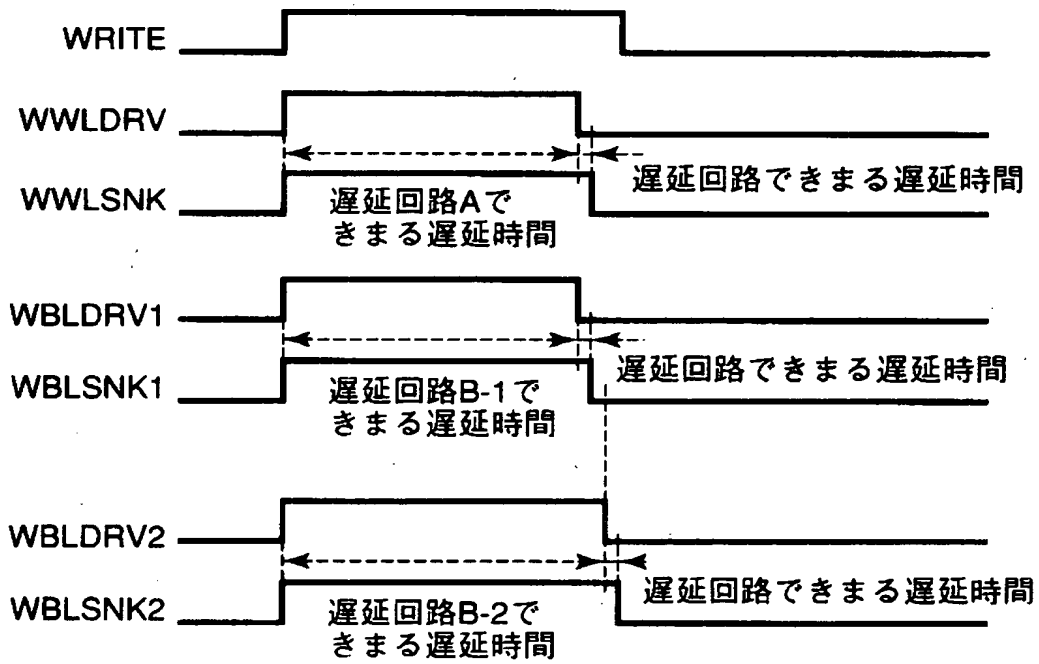
【图 28】



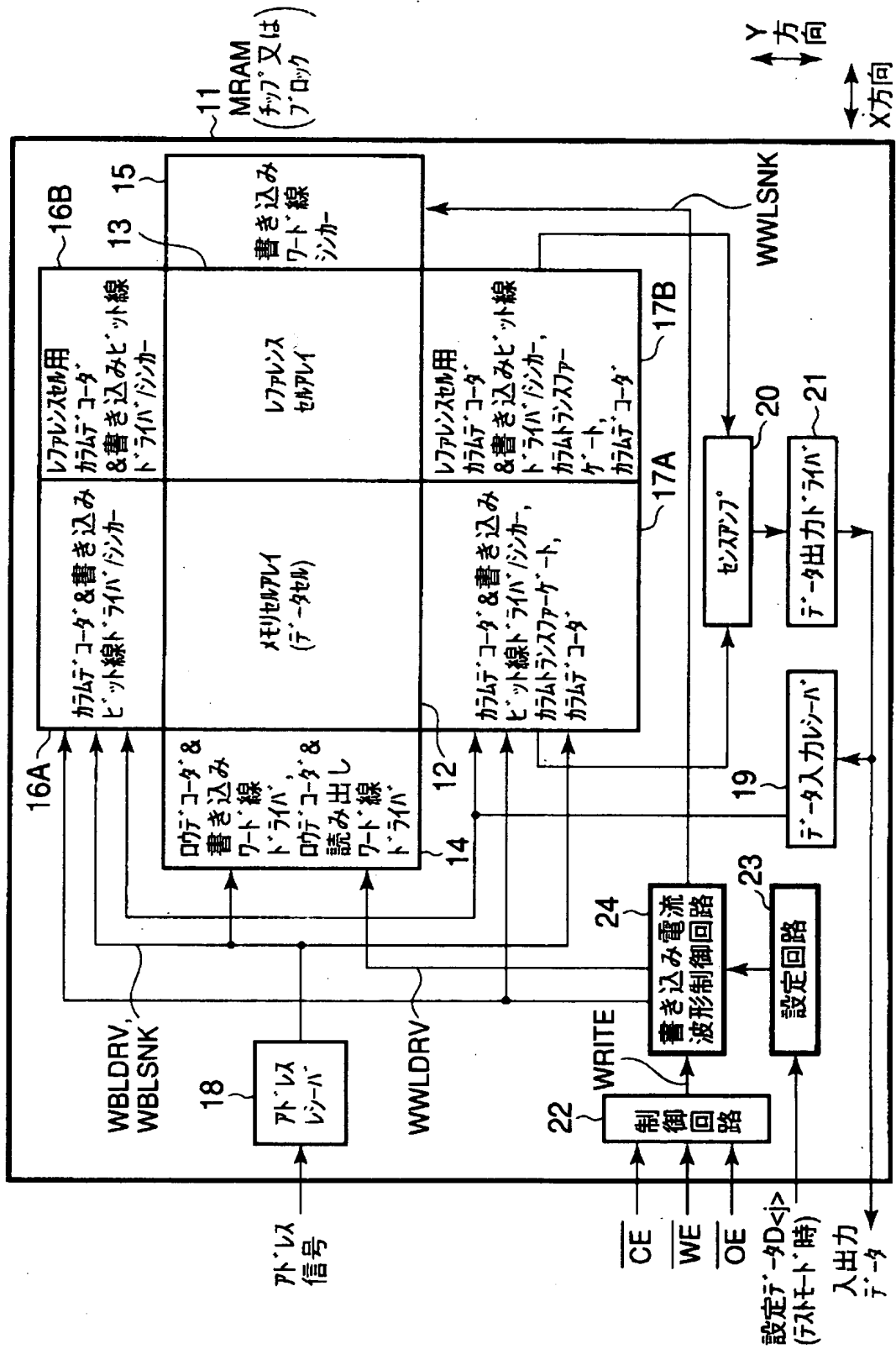
【図 29】



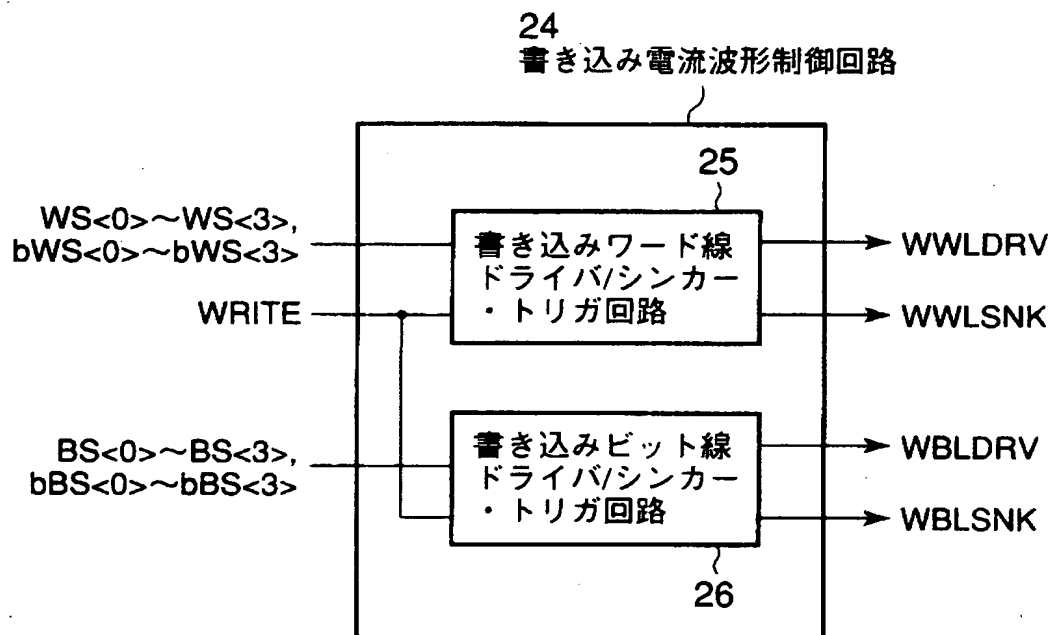
【図 3 0】



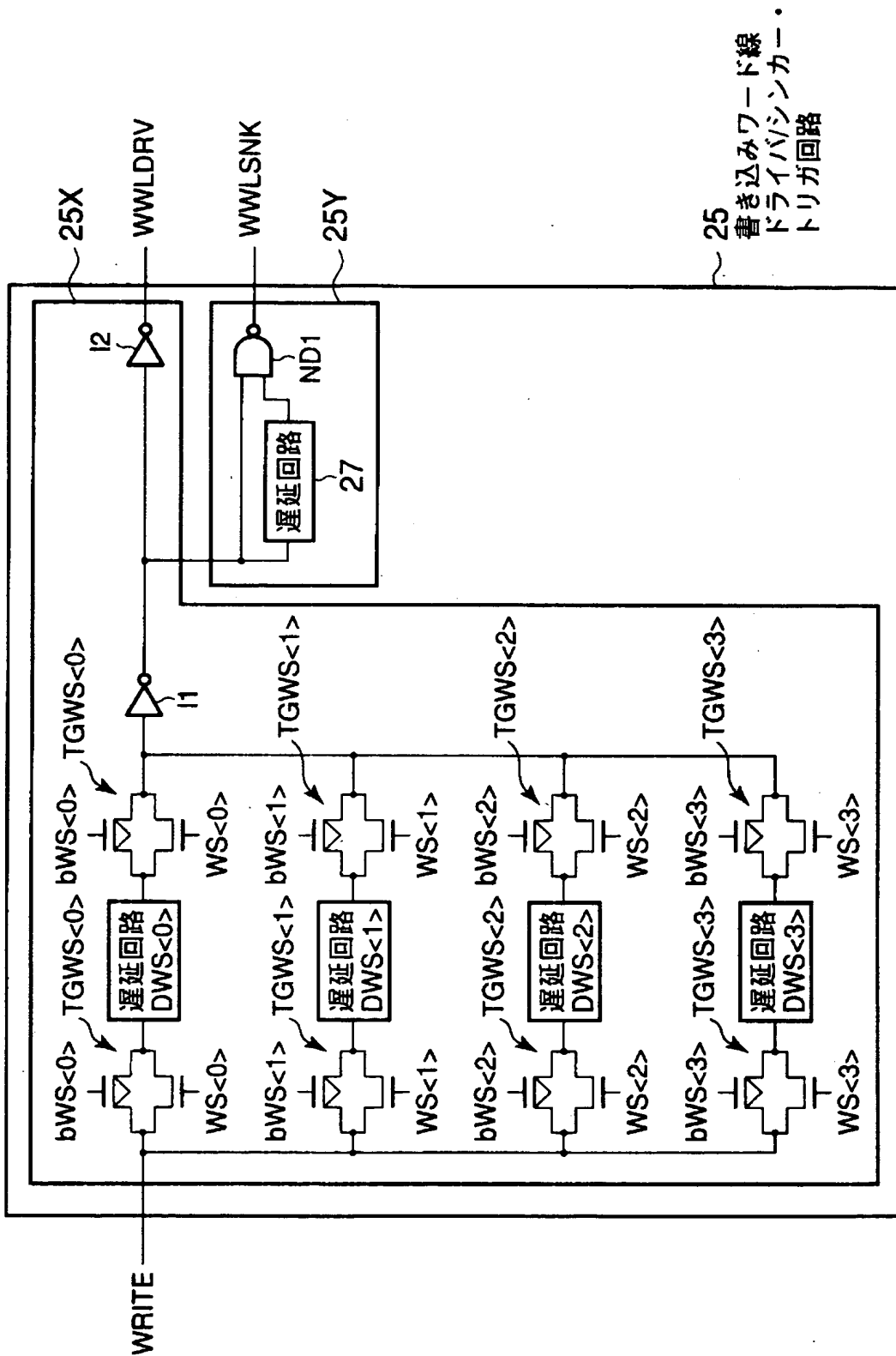
【図 3 1】



【図 3 2】

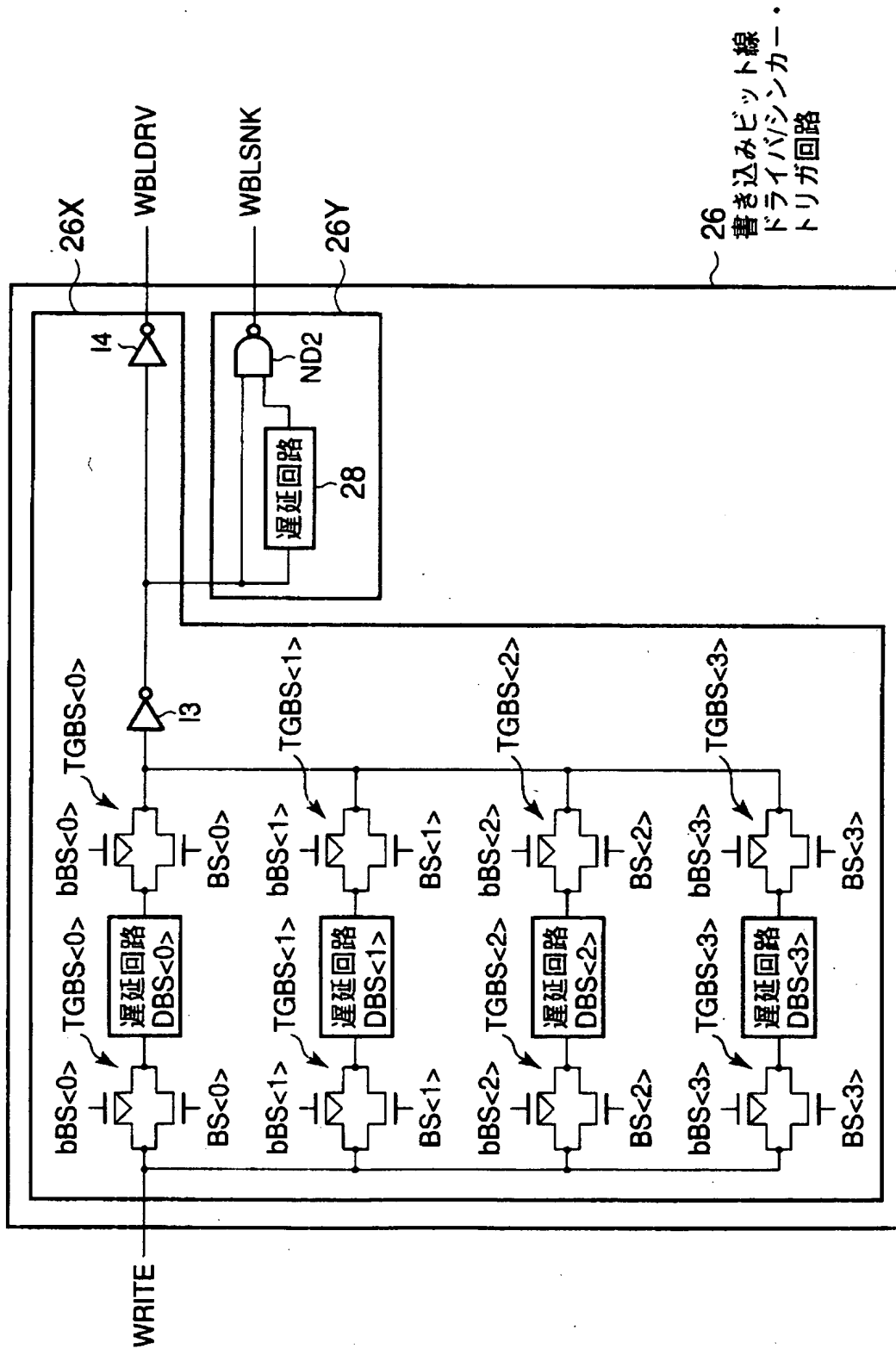


【図 33】

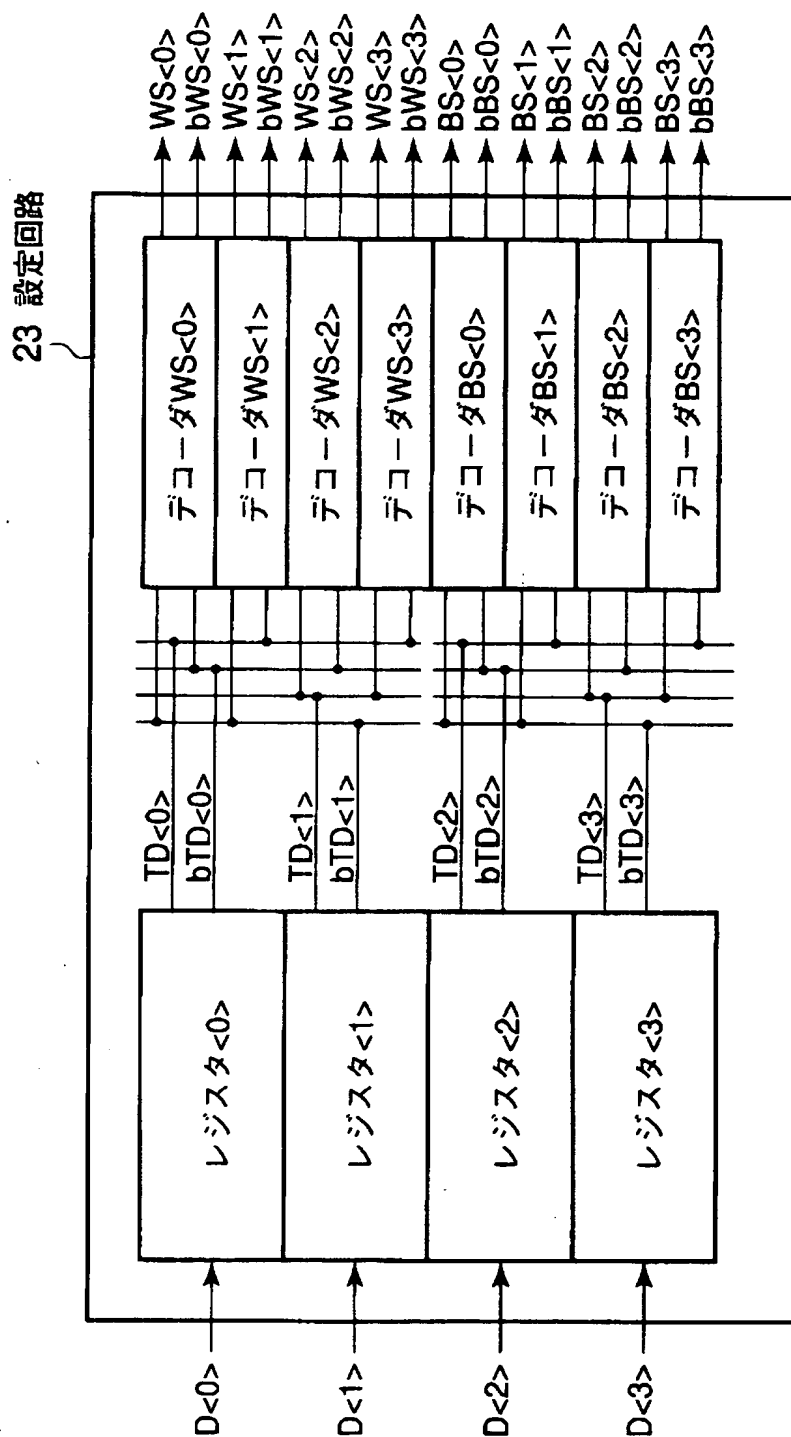




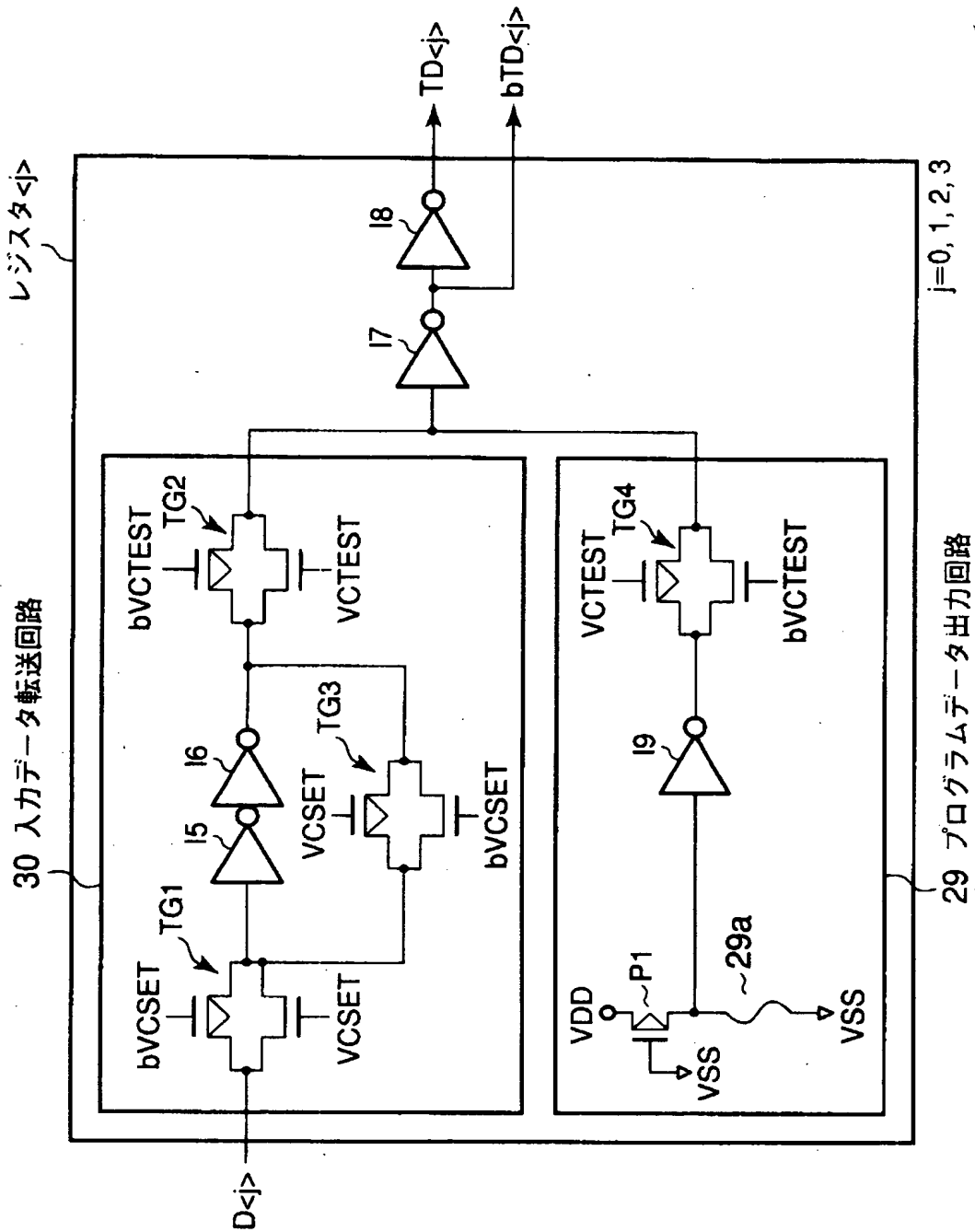
【図 34】



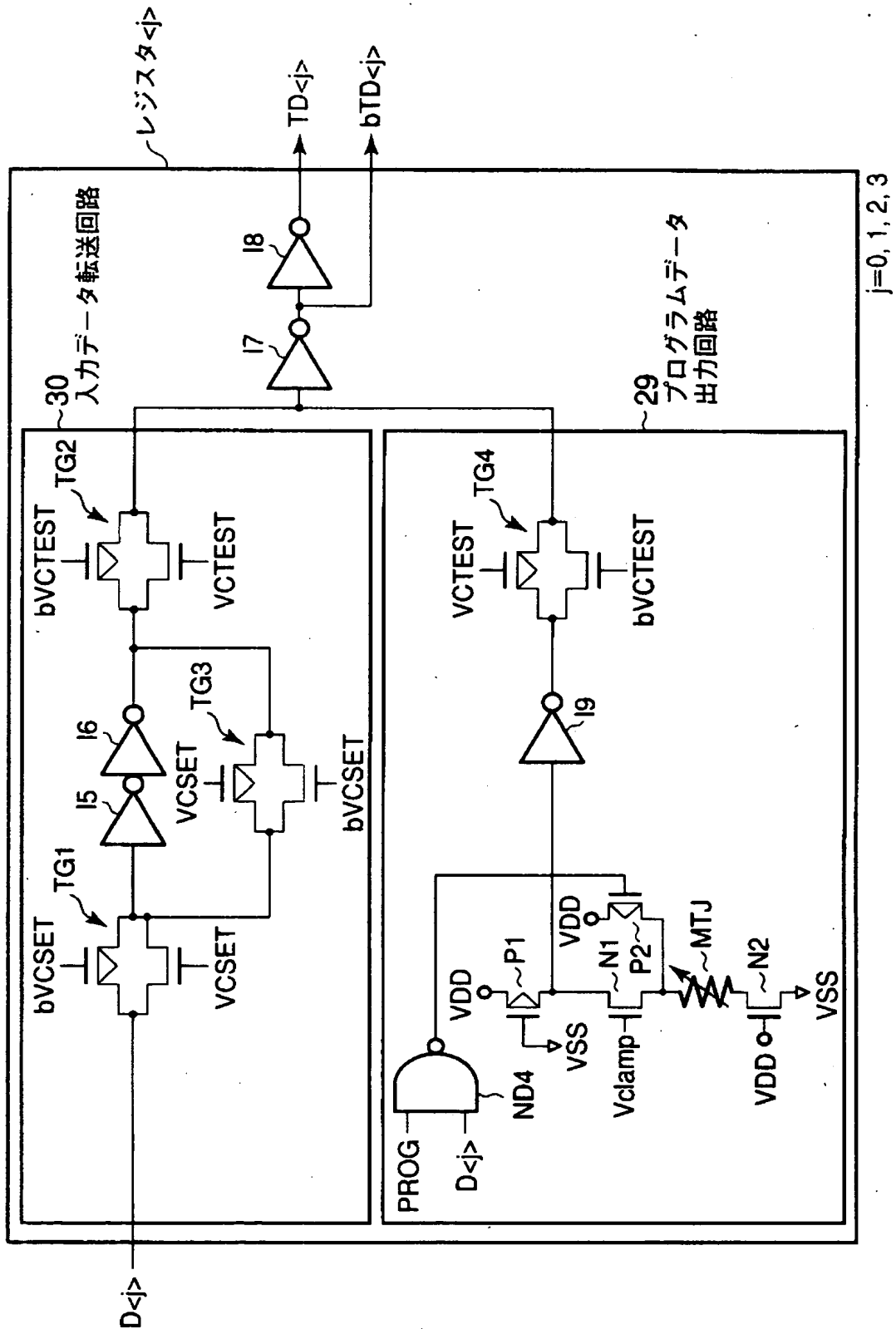
【図 3 5】



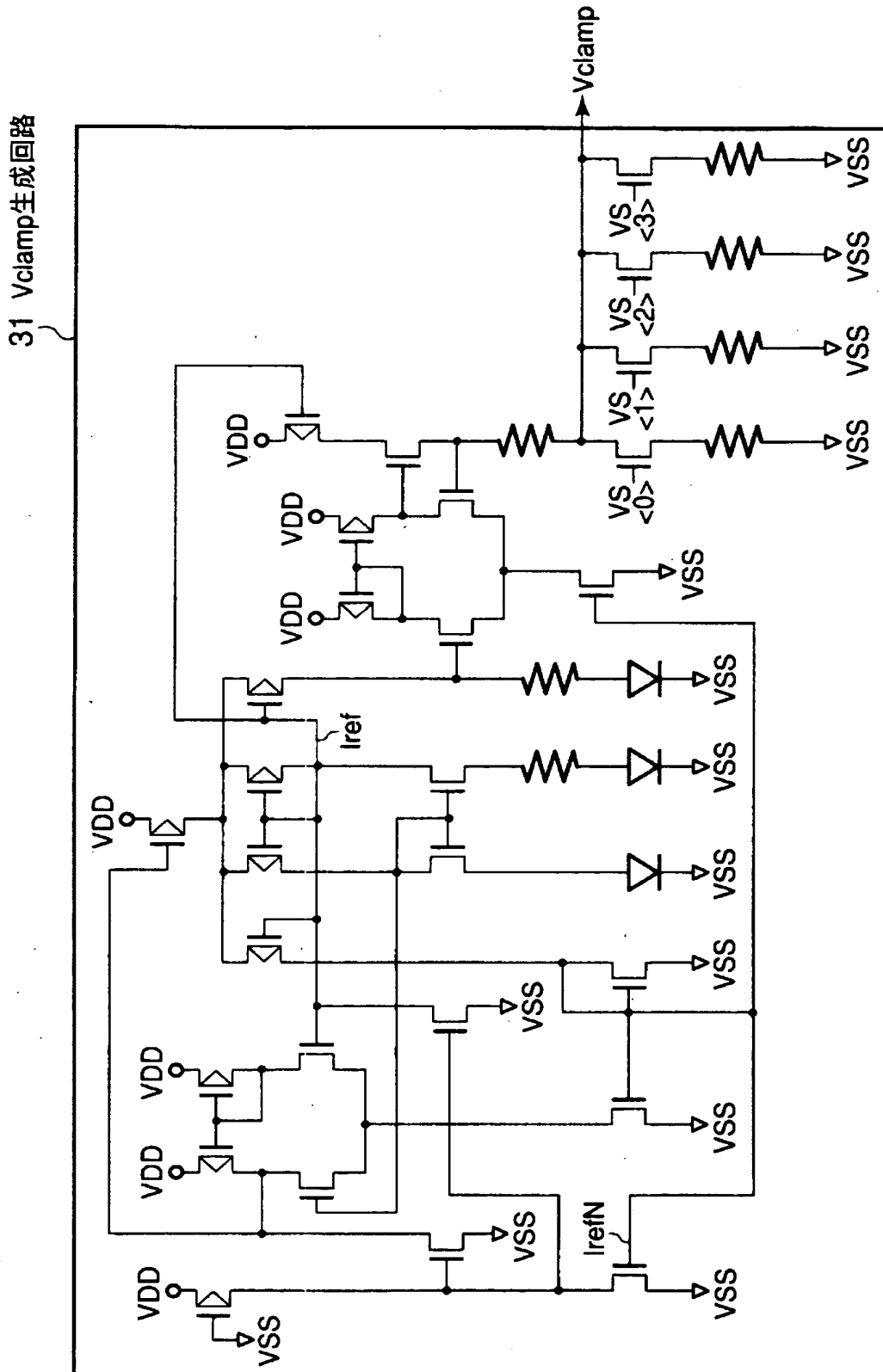
【図 36】



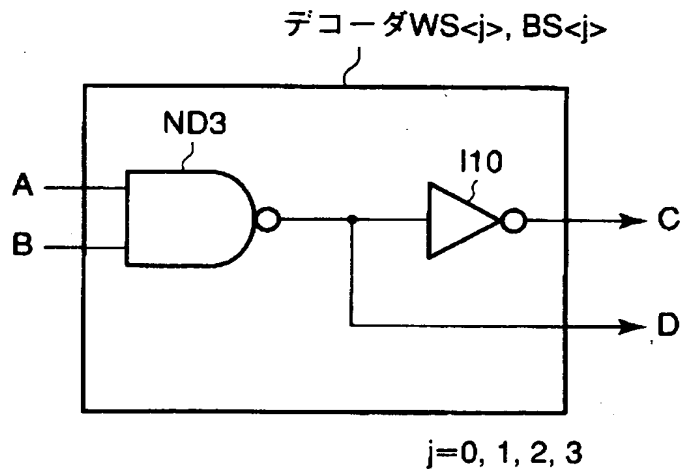
【图 3 7】



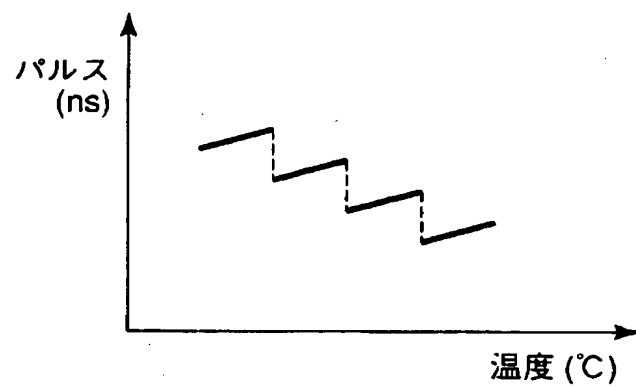
【図 38】



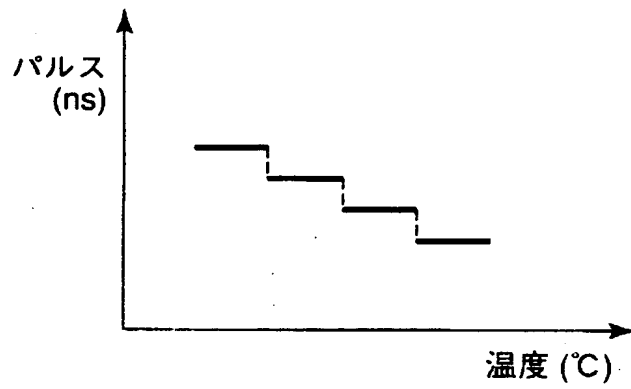
【図 3 9】



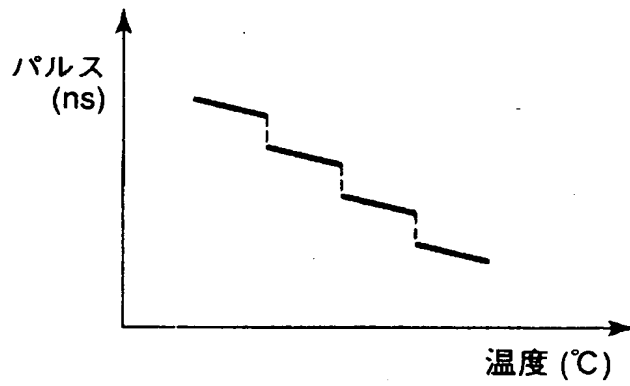
【図 4 0】



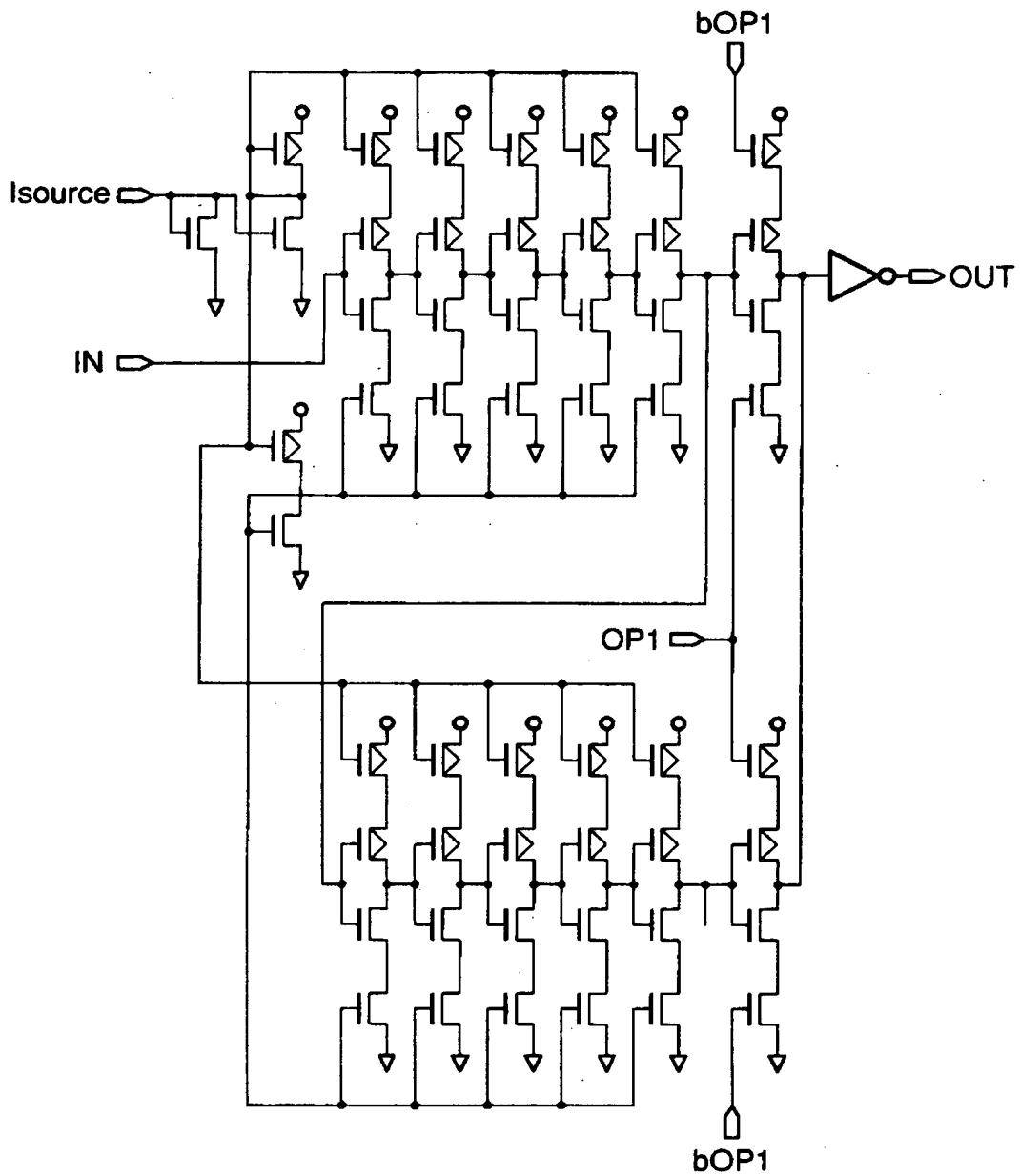
【図 4 1】



【図 4 2】

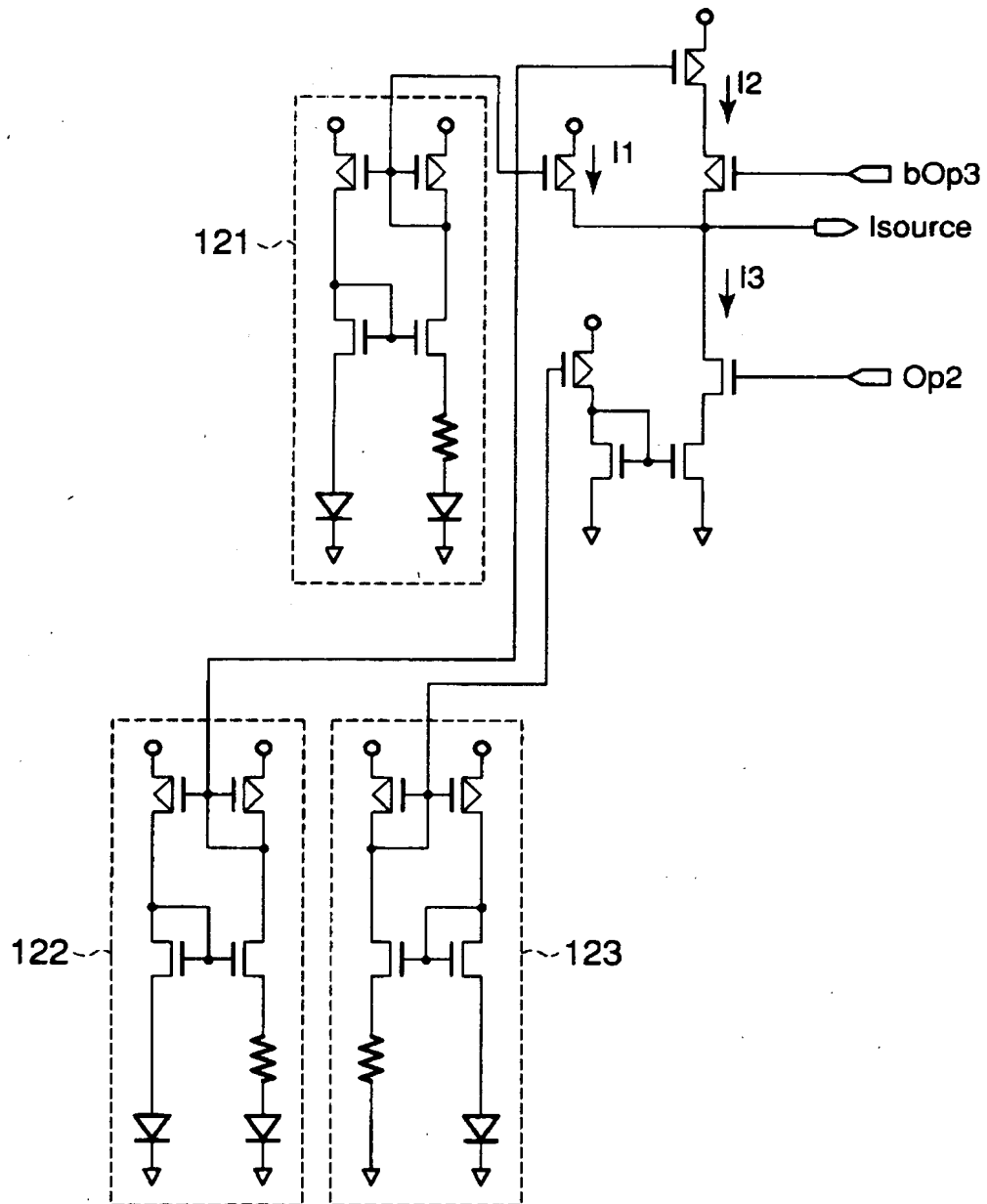


【図 4 3】

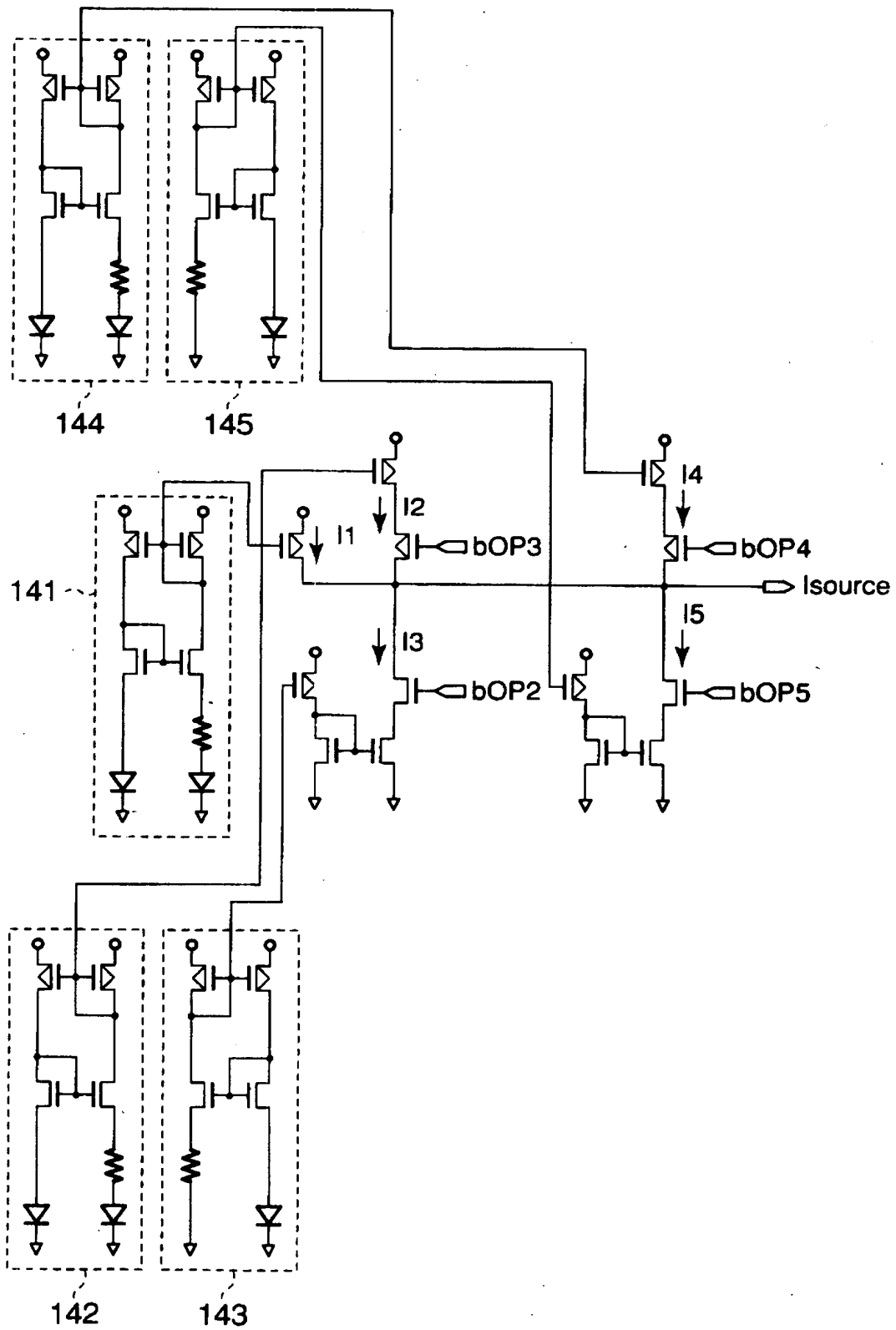




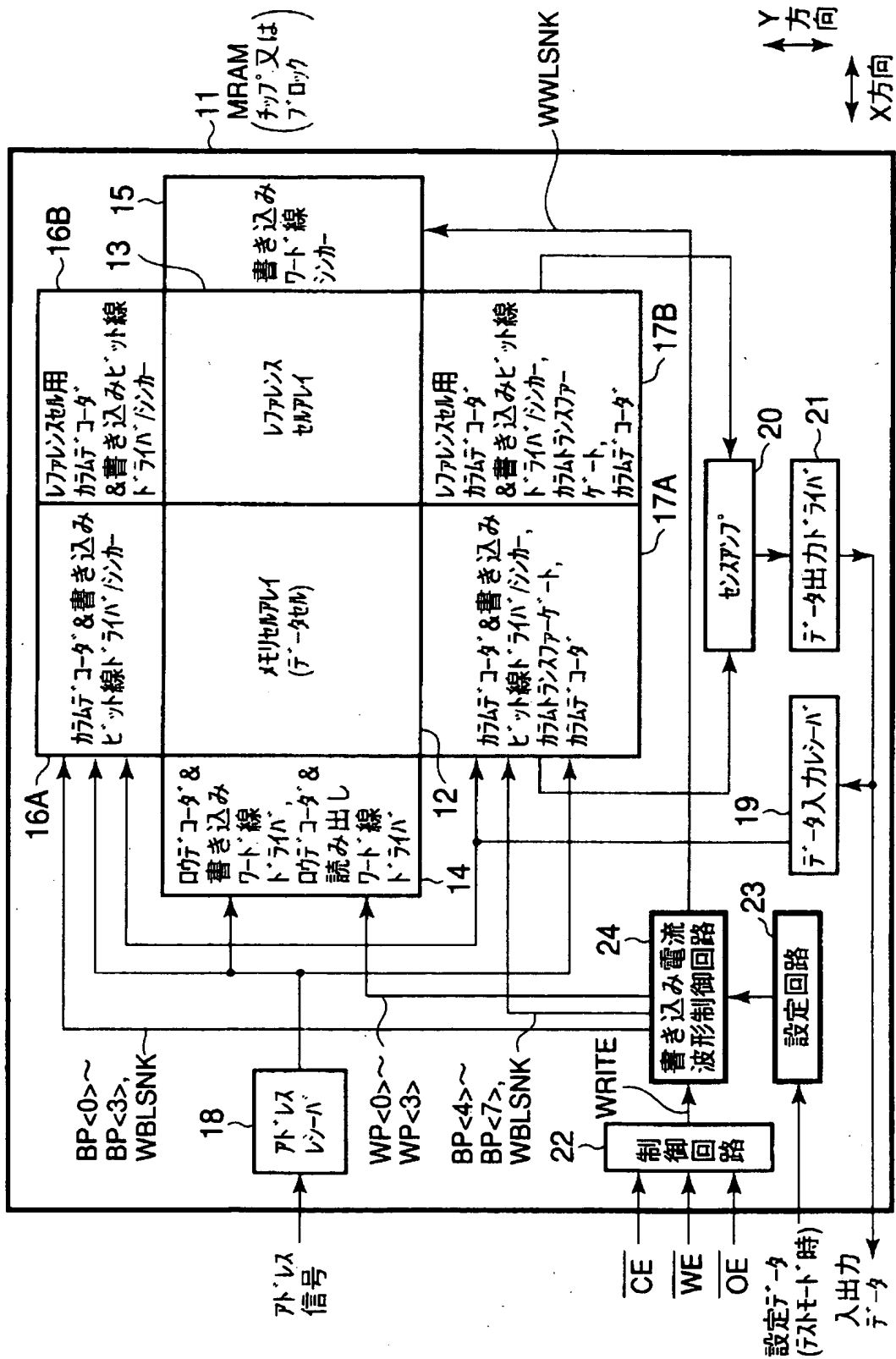
【図 4 4】



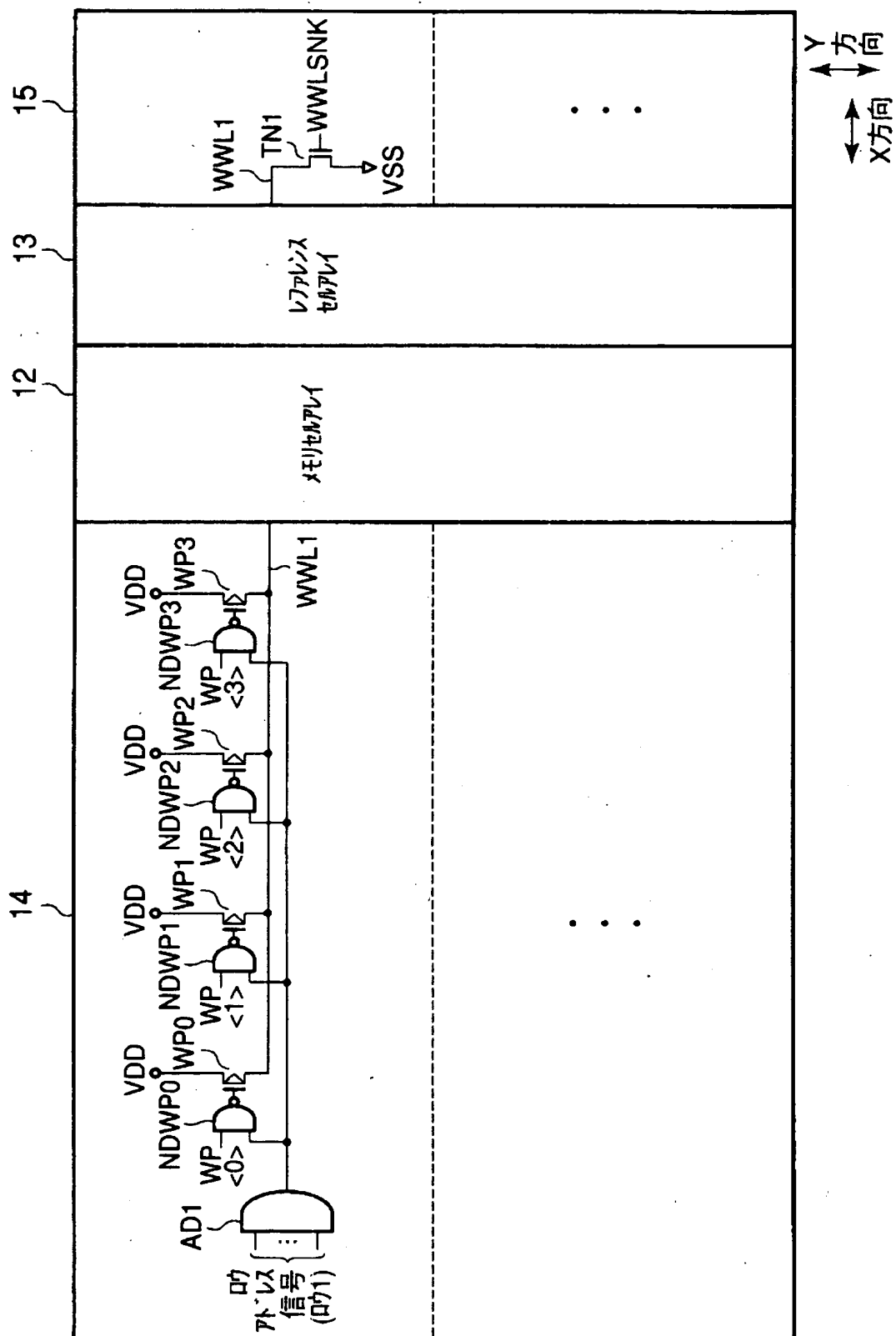
【図 4 5】



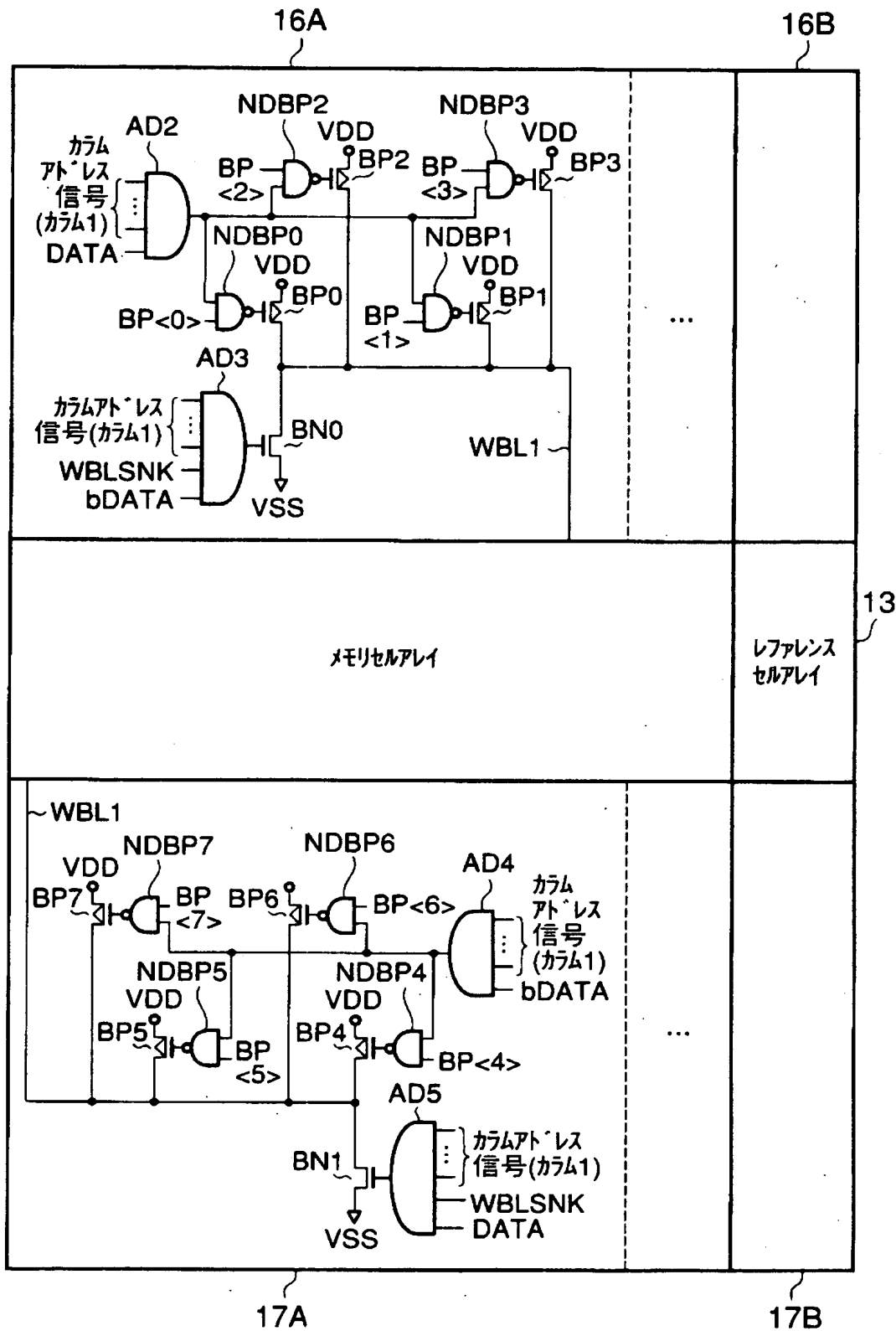
【図 4 6】



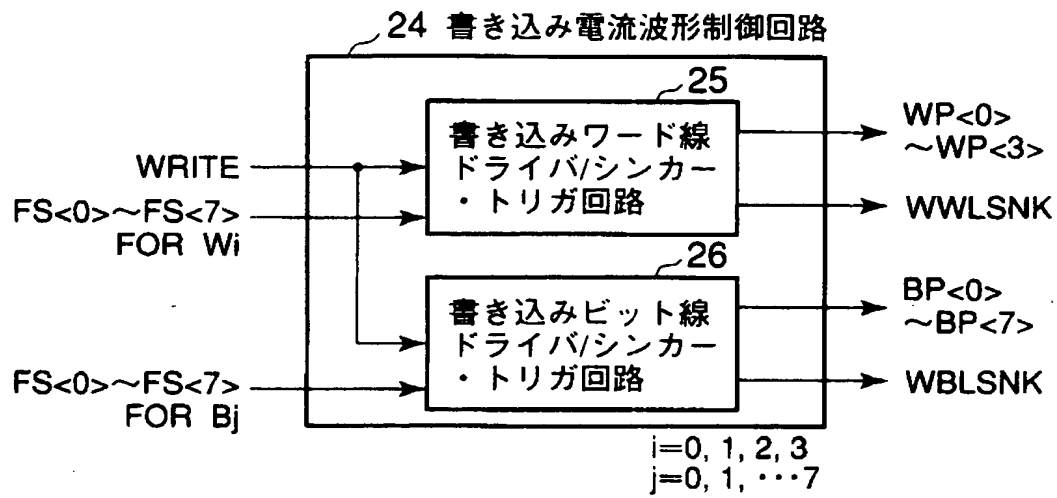
【圖 4 7】



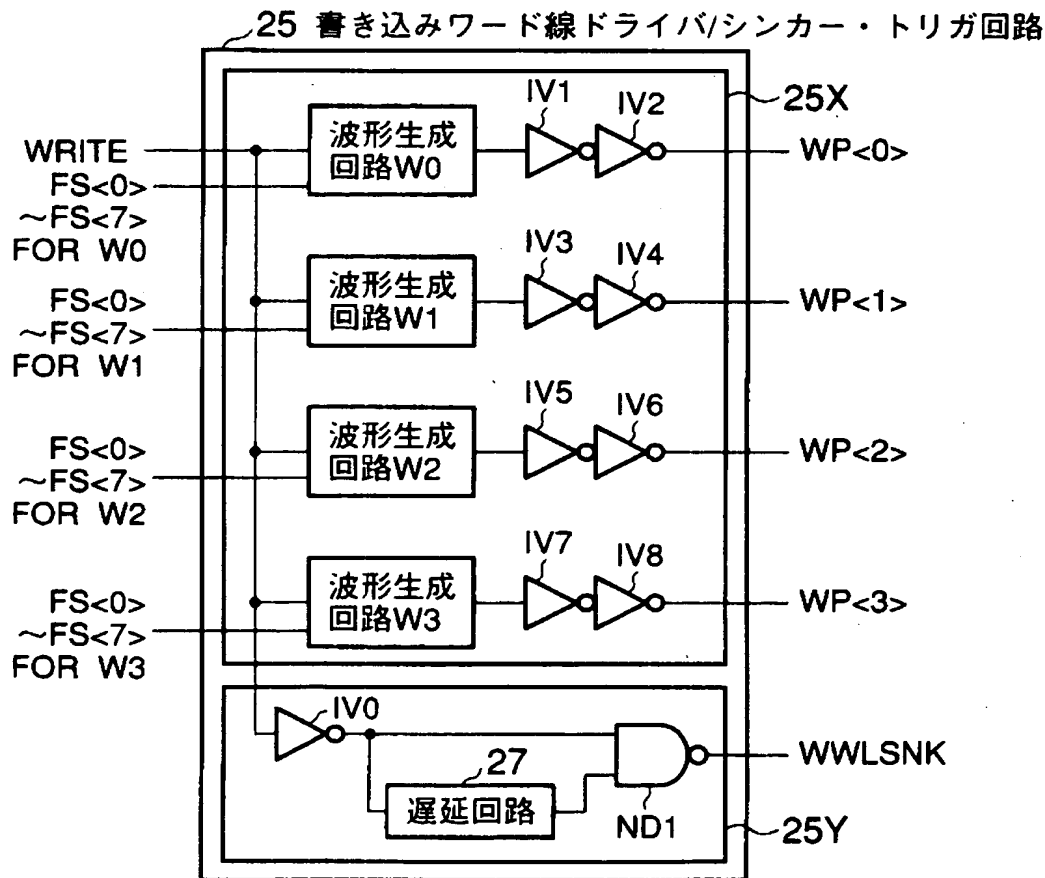
【図 4 8】



【図 4 9】

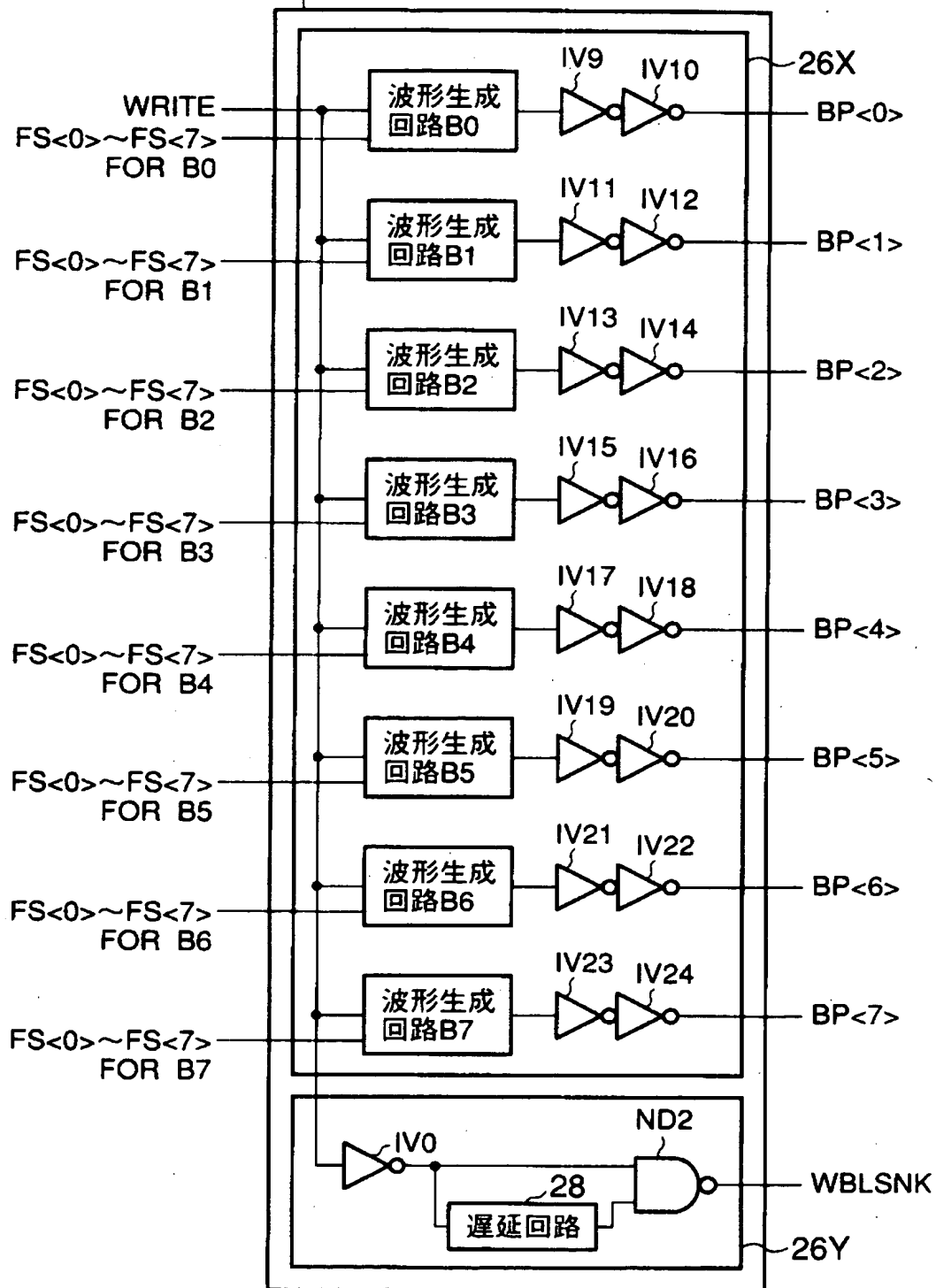


【図 5 0】

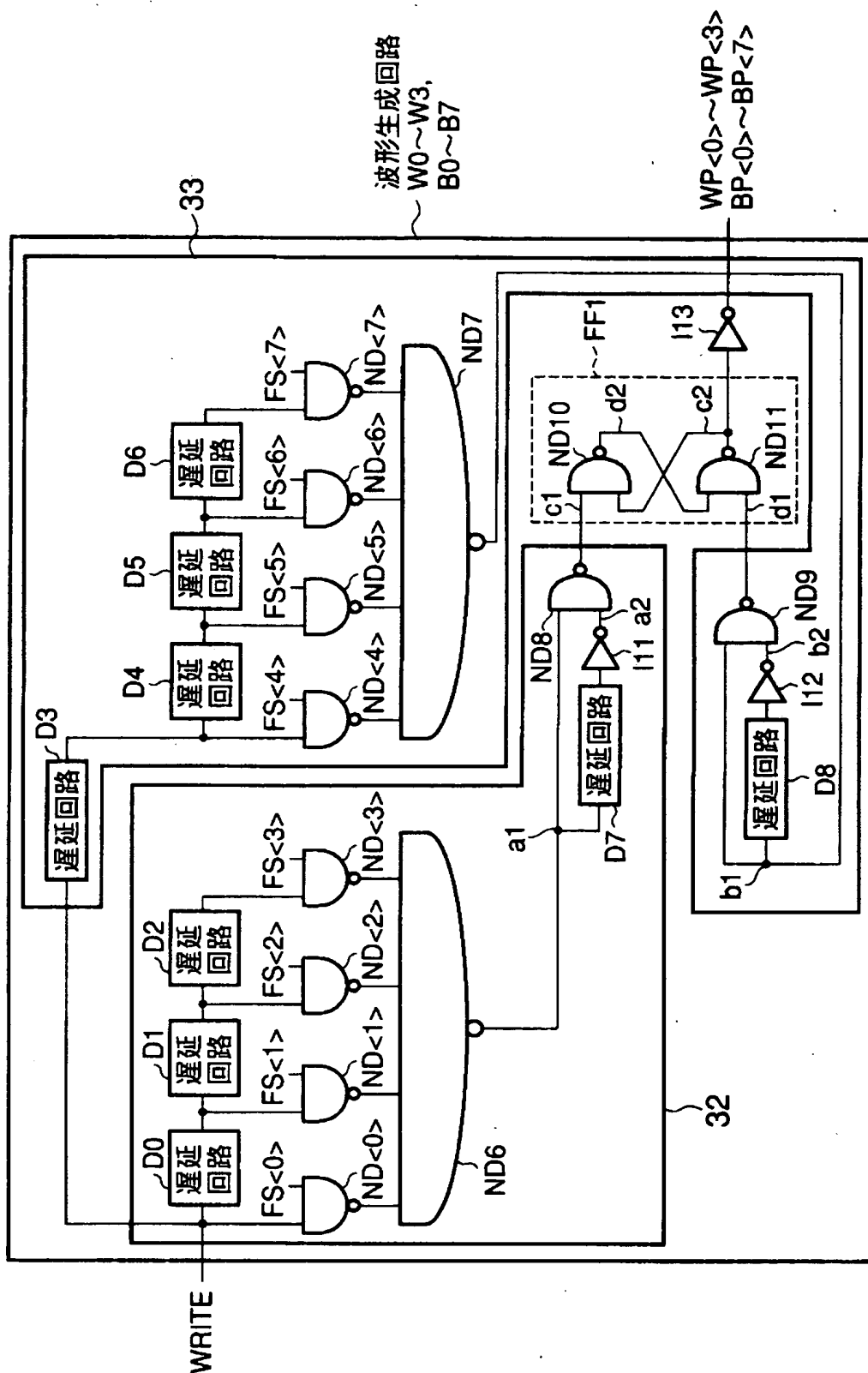


【図 5 1】

26  
書き込みビット線ドライバ/シンカー・トリガ回路

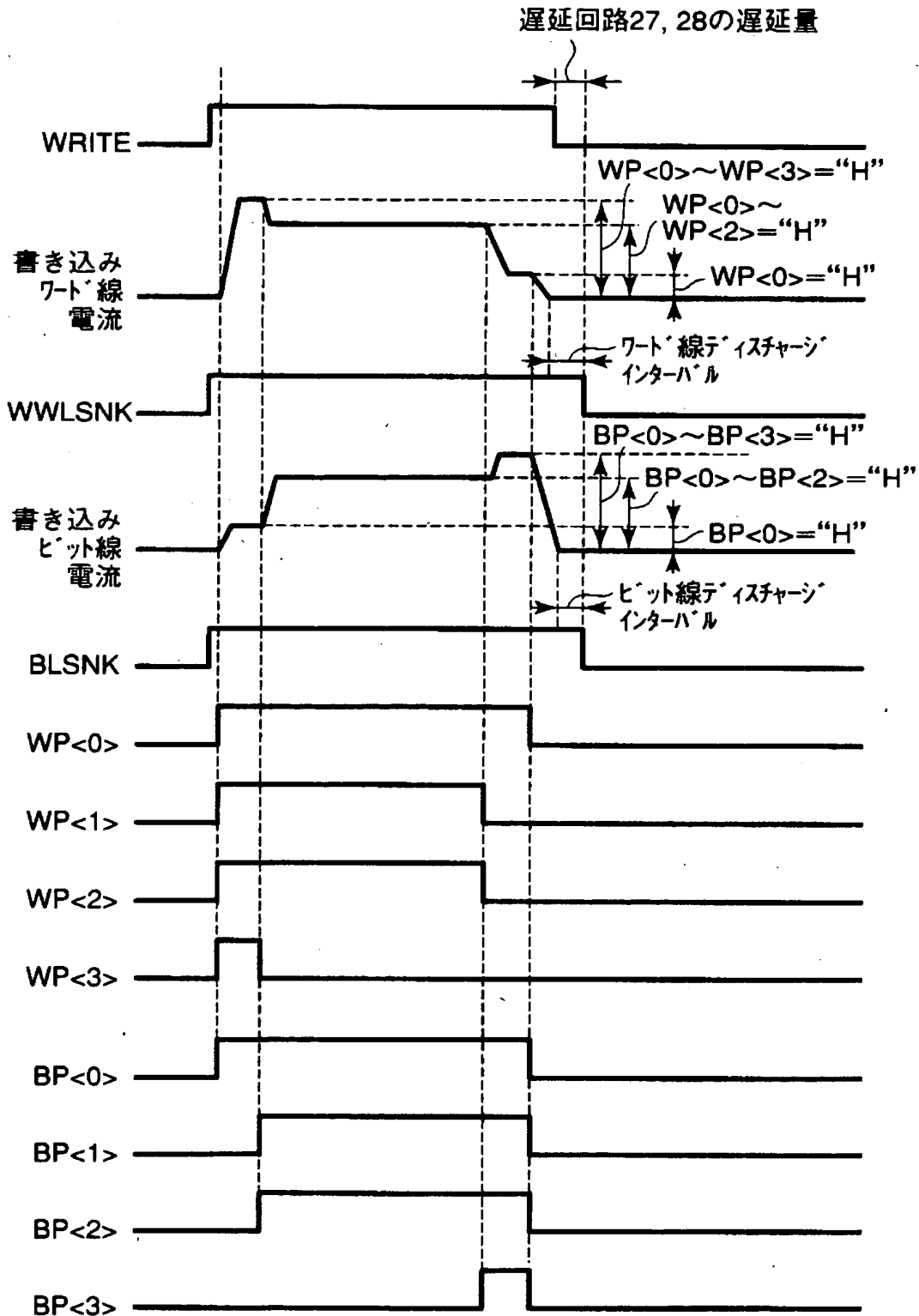


【図 5 2】

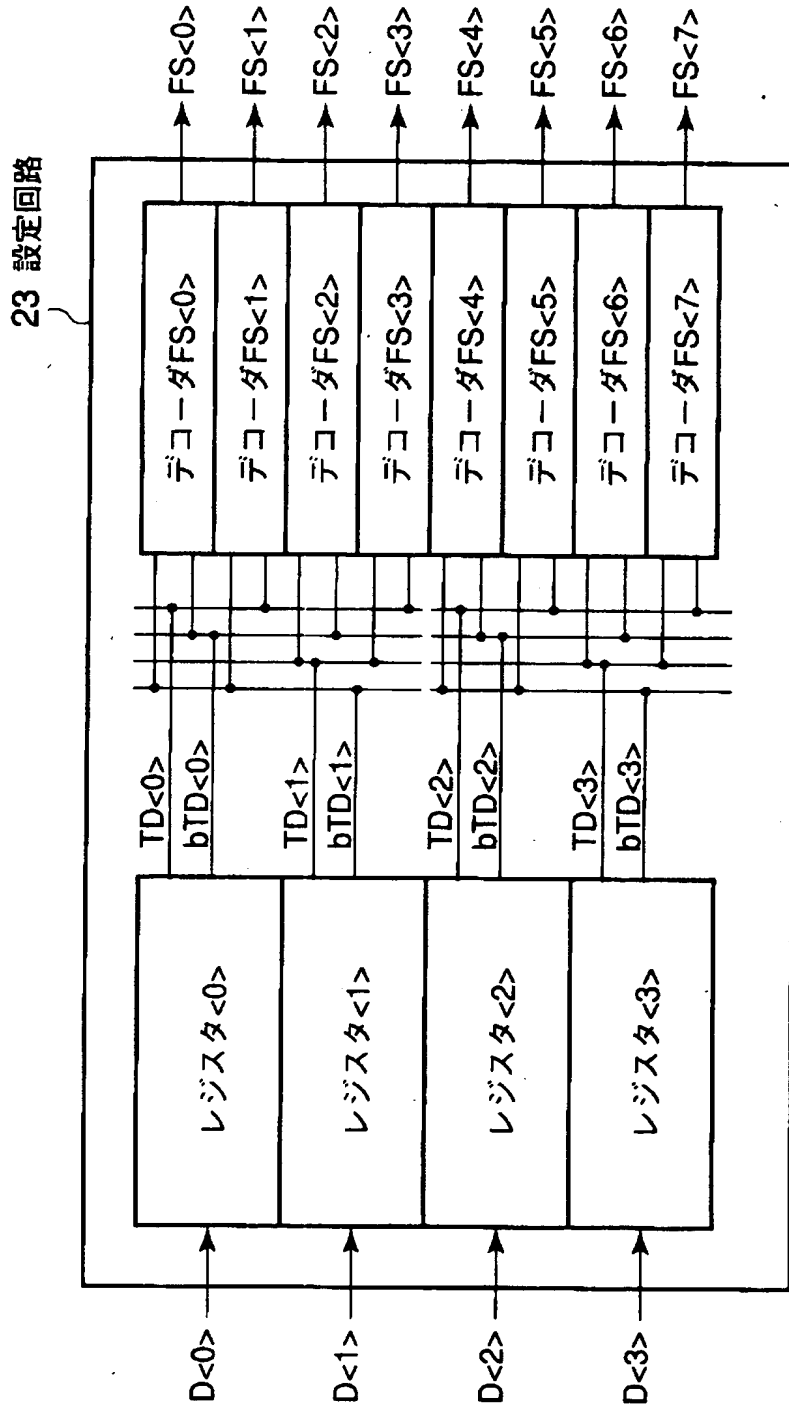




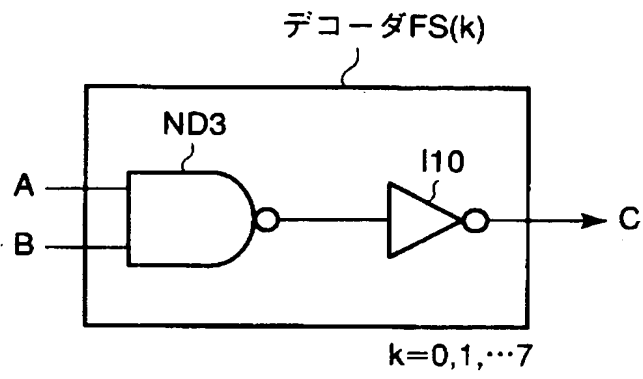
【図 5 3】



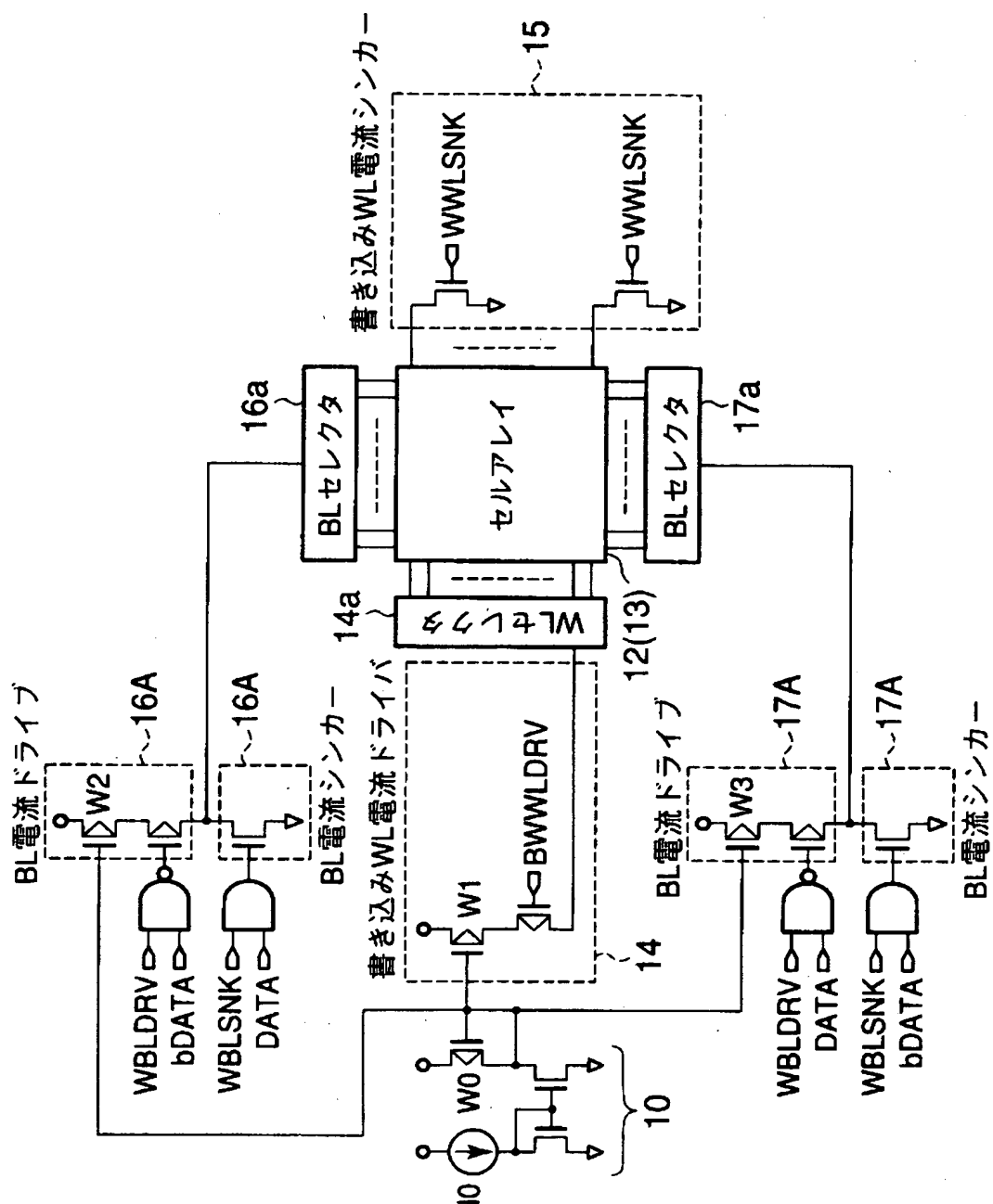
【図 5 4】



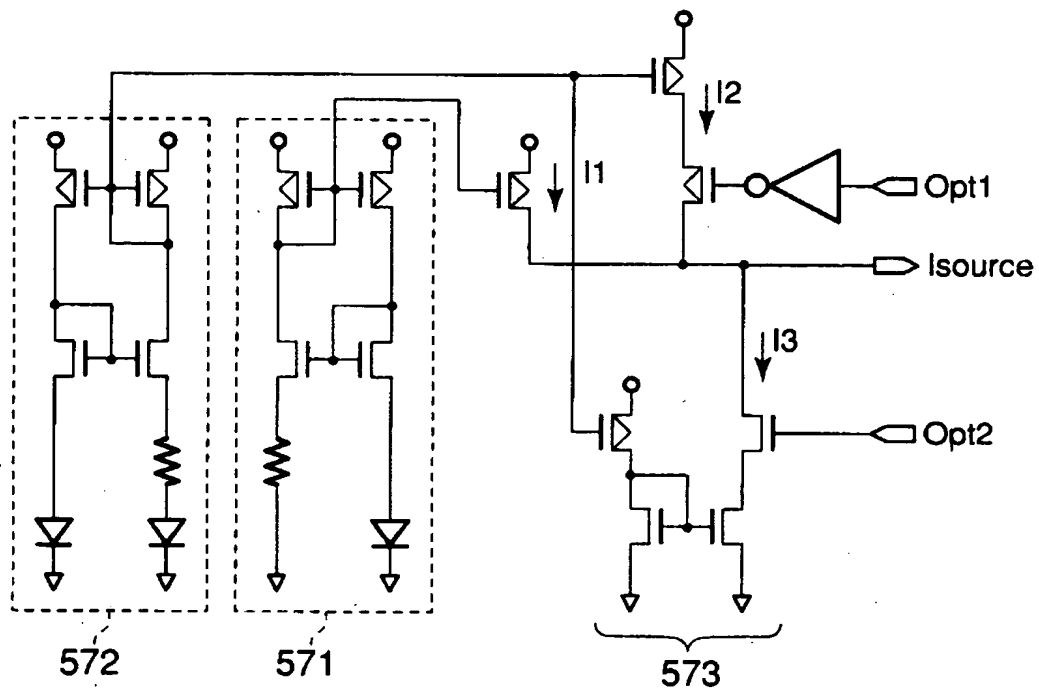
【図 5 5】



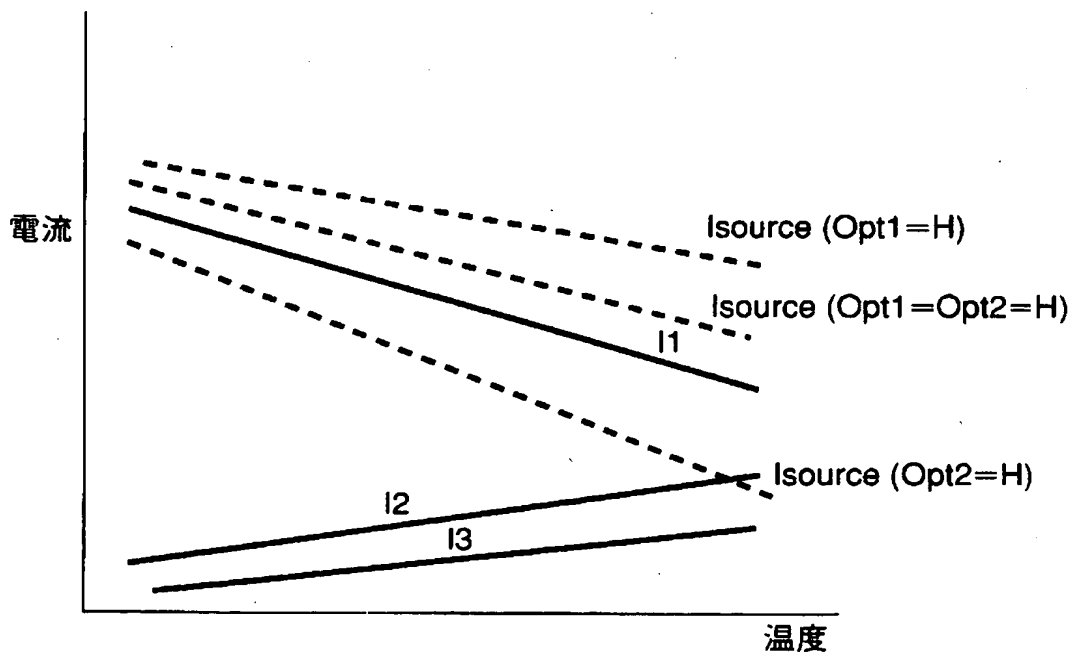
【图 5 6】



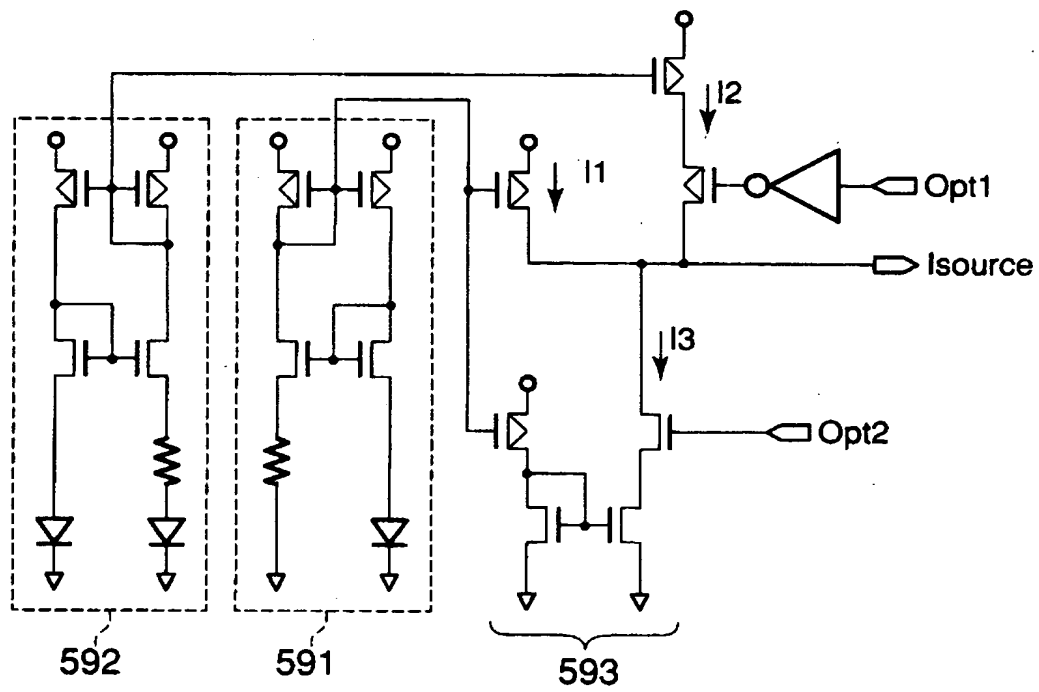
【図 5 7】



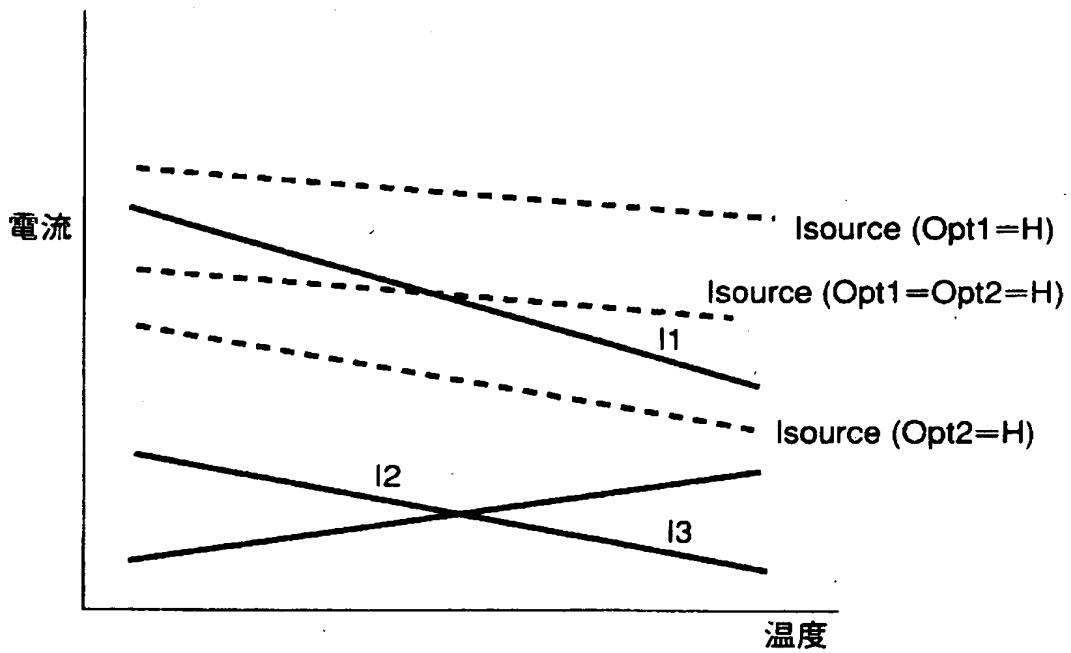
【図 5 8】



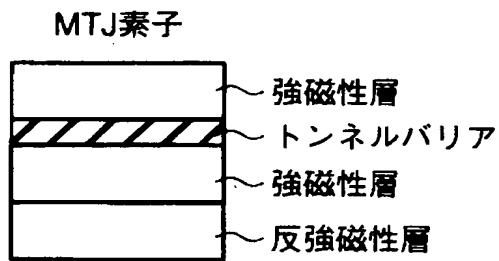
【図 5 9】



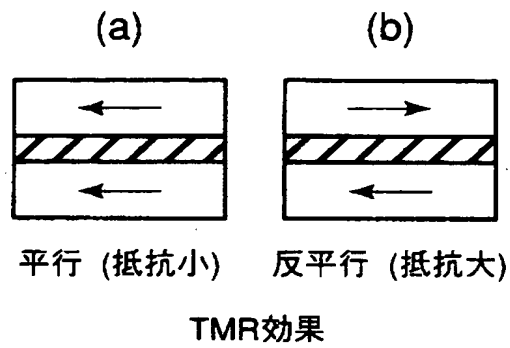
【図 6 0】



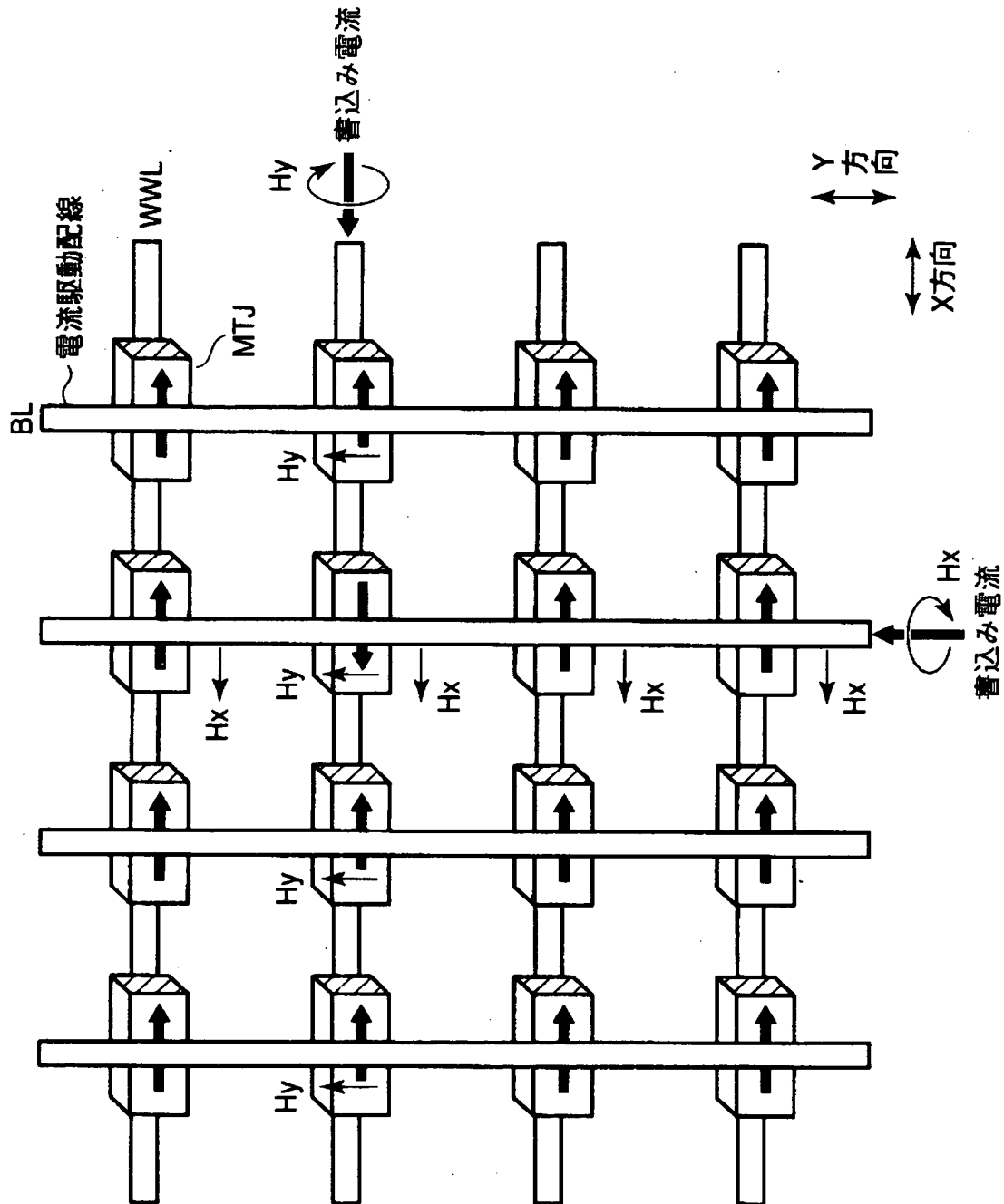
【図 6 1】



【図 6 2】

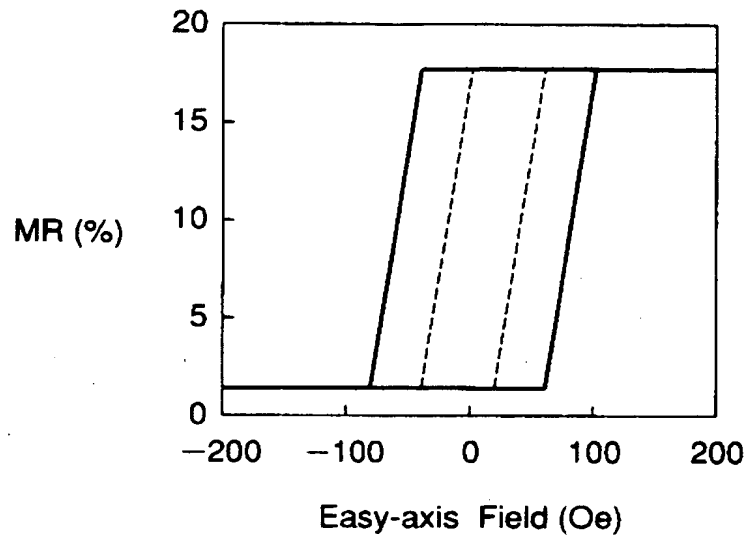


【図 63】

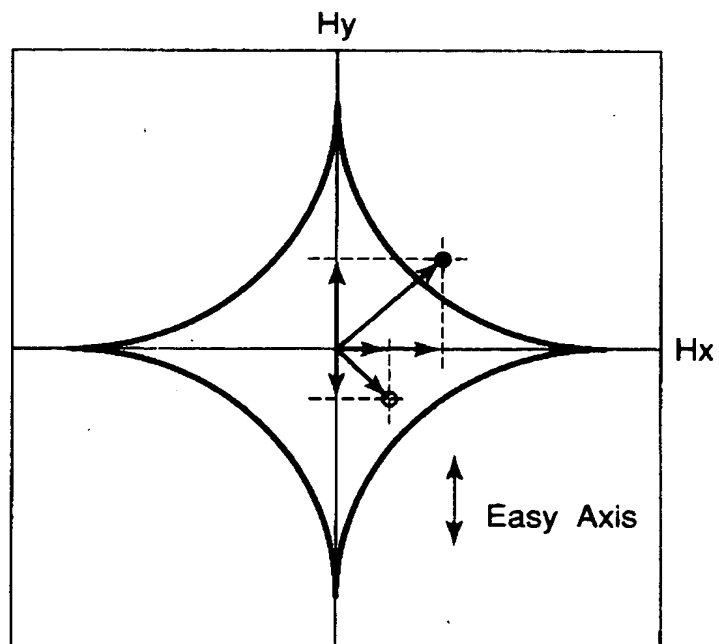




【図 6 4】



【図 6 5】



【書類名】 要約書

【要約】

【課題】 MRAMにおいて、書き込み電流値のパルス幅を温度によって調整する機能を持たせ、誤書き込みを防止し、高信頼性を実現する。

【解決手段】 MRAMのメモリ素子である磁気抵抗効果素子が二次元平面的に配置されたメモリセルアレイ 1 2 と、行方向の電流によって発生する電流磁界と列方向の電流によって発生する電流磁界によって磁気抵抗効果素子に選択的にデータを書き込む第 1 の書き込み配線WLおよび第 2 の書き込み配線BLと、第 1 の書き込み配線に流れる書き込みパルス電流および第 2 の書き込み配線に流れる書き込みパルス電流の少なくとも一方の書き込みパルス電流の温度依存性を制御する制御回路 2 2 とを具備する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝